

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/DE04/002657

International filing date: 03 December 2004 (03.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 103 58 713.6
Filing date: 15 December 2003 (15.12.2003)

Date of receipt at the International Bureau: 16 March 2005 (16.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung****Aktenzeichen:**

103 58 713.6

Anmeldetag:

15. Dezember 2003

Anmelder/Inhaber:

Infineon Technologies AG, 81669 München/DE

Bezeichnung:Transistor-Anordnung zum Verringern von Rauschen,
integrierter Schaltkreis und Verfahren zum Verringern
des Rauschens von Feldeffekttransistoren**IPC:**

H 01 L 23/58

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. März 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Schäfer



Beschreibung

Transistor-Anordnung zum Verringern von Rauschen,
integrierter Schaltkreis und Verfahren zum Verringern des
5 Rauschens von Feldeffekttransistoren

Die Erfindung betrifft eine Transistor-Anordnung zum
Verringern von Rauschen, einen integrierten Schaltkreis und
ein Verfahren zum Verringern des Rauschens von
10 Feldeffekttransistoren.

Das Rauschen eines Feldeffekttransistors (insbesondere
MOSFET, "metal oxide semiconductor field effect transistor")
begrenzt die Genauigkeit einer elektrischen Schaltung. Dies
15 ist insbesondere dann problematisch, wenn in einer solchen
Schaltung ein Signal mit einer kleinen Amplitude auftritt.
Daher ist insbesondere ein Analog-Schaltkreis in seiner
Leistungsfähigkeit durch das Phänomen des Rauschens begrenzt.

20 Das niederfrequente Rauschen eines MOS-Transistors wird von
statistischem Be- bzw. Entladen von Störstellenzuständen
insbesondere an der Grenzfläche zwischen dem Kanal-Bereich
und dem Gate-isolierenden Bereich des Feldeffekttransistors
verursacht. Bei niedrigen Frequenzen liefert dieser
5 Mechanismus den dominierenden Beitrag zum Rauschen. Die
Störstellen werden aufgrund ihrer Lokalisierung häufig auch
als Grenzflächenzustände bezeichnet. Es tragen vorwiegend
diejenigen Störstellen zum niederfrequenten Rauschen bei,
deren Energie-Niveau nahe dem (Quasi-)Fermi-Niveau der zum
30 Stromfluss beitragenden Ladungsträger liegt. Andere
Grenzflächenzustände, deren Energieniveau wesentlich höher
oder tiefer liegt, sind entweder vollständig besetzt oder
vollständig unbesetzt und tragen somit nicht zum Rauschen
bei, vgl. [1].

35 Aus [2] ist bekannt, niederfrequentes Rauschen mittels
Optimierens des Herstellungsprozesses der

Feldeffekttransistoren zu unterdrücken. Hierbei wird die Tatsache ausgenutzt, dass die Größe des niederfrequenten Rauschens maßgeblich von der Qualität der Grenzfläche zwischen Kanal-Bereich und Gate-isolierender Schicht abhängt. 5 Allerdings sind den technologischen Optimierungsmöglichkeiten enge Grenzen gesetzt.

Ein weiteres Verfahren zum Verringern des niederfrequenten Rauschens beruht darauf, den Arbeitspunkt der 10 Feldeffekttransistoren so einzustellen, dass das niederfrequente Rauschen minimiert wird. Beispielsweise ist bekannt, dass die Wahl des Arbeitspunkts im Rahmen von solchen Arbeitspunkten, die für die analoge Schaltungstechnik geeignet sind, das Erreichen einer verringerten 15 Rauschleistung erlaubt, vgl. [1]. Wird mit V_g die Gate-Spannung, mit V_t die Schwellen-Spannung und mit V_d die Drain-Spannung eines Feldeffekttransistors bezeichnet, so ist $V_g - V_t = 100\text{mV}$ bis 1V und $V_d > V_g - V_t$ eine geeignete Wahl. Nachteilig an diesem Verfahren ist jedoch die Einschränkung der 20 Freiheitsgrade beim Schaltungsentwurf in anderer Hinsicht, wie z.B. Leistungsaufnahme, Aussteuerbereich, Bandbreite. Darüber hinaus ist die mit diesem Verfahren erreichbare Verringerung des Rauschens gering.

25 Da niederfrequente Rauschspannungen bzw. Rauschströme in einem MOSFET umgekehrt proportional zu der Wurzel aus dessen aktiver Fläche sind, vgl. [1], besteht die Möglichkeit, das niederfrequente Rauschen eines Schaltkreises dadurch zu verringern, dass die Bauelement-Flächen ausreichend groß 30 gewählt werden. Ein Nachteil dieses Verfahrens ist der erhöhte Flächenverbrauch. Auch kann sich eine erhöhte Leistungsaufnahme ergeben, insbesondere wenn die Bandbreite der Schaltung nicht verringert werden kann, da dann lediglich die Weiten, nicht jedoch die Längen der Transistoren erhöht 35 werden dürfen. Die Stromaufnahme der Schaltung bzw. der Pfade, in denen die betreffenden Transistoren betrieben werden, steigt ungefähr proportional zu der Weite der

6
betreffenden Transistoren an. Ferner steigen alle kapazitiven Lasten an, die bei einer vorgegebenen Schaltung auftreten, insbesondere die Eingangs-Kapazität von empfindlichen Verstärker-Schaltungen.

5

Aus [3] bis [6] ist bekannt, dass das niederfrequente Rauschen eines Transistors reduziert werden kann, wenn das Quasi-Fermi-Niveau an der Grenzfläche periodisch verändert wird.

10

In [3], [4] sind schaltungstechnische Verfahren zum Verringern des niederfrequenten Rauschens von MOSFETS beschrieben. Das in [4] beschriebene Verfahren beschränkt sich jedoch auf Schaltungen, bei denen die Transistoren periodisch an- und abgeschaltet werden. Dies ist jedoch insbesondere in vielen analogen Schaltkreisen nicht erwünscht, da kontinuierliche Signale verarbeitet werden sollen.

15

20 Im Weiteren wird der Floating-Body-Effekt und der Selbstheiz-Effekt ("self-heating") beschrieben, die in teilweise verarmten ("partially depleted", PD) und in vollständig verarmten ("fully depleted", FD) SOI-Transistoren ("Silicon-on-Insulator") in CMOS-Technologie auftreten können. Diese Effekte haben einen Einfluss auf das Schaltkreis-Design insbesondere analoger Schaltkreise.

25

Hinsichtlich der zukünftigen Entwicklung der Halbleitertechnik sind Veränderungen weg von herkömmlichen Bulk-CMOS-Prozessen hin zu SOI-Prozessen zu erwarten, und darüber hinaus hin zu Doppel- oder Dreifach-Gate-Transistor-Architekturen. Diese Erwartung ergibt sich z.B. aus der International Technology Roadmap for Semiconductors, ITRS 2001.

30

35

Trotz der Vorteile der SOI-CMOS-Transistor-Technologie verglichen mit der Bulk-CMOS-Transistor-Technologie (zum

Beispiel die Verringerung parasitärer Kapazitäten, die Möglichkeit von Diffusions-Widerständen und Kapazitäten, die bessere Device-Isolierung, womit Latchup-Effekte und Substrat-Kopplungs-Effekte verringert sind, etc.) sind

5 integrierte SOI-Schaltkreise in analoger Schaltungstechnik bislang nur wenig untersucht worden, siehe [11].

Ein Problem von SOI-Feldeffekttransistoren ist der ihnen inhärente Floating-Body-Effekt, der bei dem Drain-Strom zu

10 einem Kink-Effekt führt. MOS-Transistoren, die auf SOI-Filmen prozessiert sind, so dass der Kanal-Bereich an Ladungsträgern teilweise verarmt ist oder beispielsweise ein Doppel-Gate-Transistor auf einem SOI-Film, ein Vertikal-Transistor auf einen SOI-Film (FinFET), etc., sind dem Floating-Body-Effekt

15 ausgesetzt, siehe [11], [12].

Der Kink-Effekt wird durch die Injektion von Löchern oder Elektronen in das floatende Substrat eines n-MOS-Transistors oder eines p-MOS-Transistor auf einem SOI-Film bewirkt. Für

20 einen n-MOSFET in SOI-Technologie werden diese Löcher mittels Impact-Ionization (anschaulich Ionisation durch Ladungsträger-Einbringen) in einen Bereich mit hohem elektrischen Feld nahe des Drains generiert. Wenn sie generiert sind, migrieren die Löcher in den Bereich, in dem

25 das elektrische Potential am geringsten ist, d.h. in Richtung des floatenden Substrats. Akkumulation von Löchern erhöht das Floating-Substrat-Potential, bis der Substrat-Source-Übergang ausreichend vorgespannt ist, zum Ausgleichen des durch Löchererzeugung generierten Stroms. Die akkumulierte Ladung

30 in dem Body hängt von dem vorherigen Zustand des Transistors (d.h. seiner History), von Prozessparametern, Device-Dimension, Versorgungsspannung, Temperatur, Slew Rate und Schaltfrequenz ab.

35 Die Erhöhung des Substrat-Potentials führt zu einer Verringerung der Schwellenspannung und resultiert in einem Knick ("Kink") in der Ausgabecharakteristik, wodurch die

Verstärkung von Analog-Verstärkern und die Konstanz von Stromquellen verschlechtert wird.

Eine andere Besonderheit der SOI-Technologie gegenüber der Bulk-MOSFET-Technologie besteht darin, dass das Selbst-Aufheizen ("self-heating") von einzelnen Devices nicht vernachlässigbar ist. Dies resultiert aus der schlechten thermischen Leitfähigkeit der unterhalb einer Silizium-Schicht eines SOI-Substrats angeordneten vergrabenen Siliziumoxid-Schicht, so dass die Kanaltemperatur des SOI-Devices um mehrere 10°C über die Temperatur bei Normalbetrieb ansteigen kann. Das isolierende Substrat bildet eine thermische Barriere, so dass die von dem betriebenen Device erzeugte Wärme nicht einfach an das Substrat transferiert werden kann. Die thermische Leitfähigkeit von Siliziumoxid (SiO_2) ist einige Größenordnungen schlechter als die von Bulk-Silizium. Daher kann im Gegensatz zu einem Bulk-MOS-Transistor bei einem MOS-Transistor auf einem SOI-Film eine signifikante Selbstaufheizung auftreten. Dieses Selbstaufheizen tritt in jeder Art von Transistor-Struktur auf, die eine schlechte thermische Kopplung zwischen dem Kanal-Bereich und Wärmesenken aufweist, wie das Bulk-Silizium oder sogar das Gehäuse (z.B. alle SOI- oder Doppel- oder Drei-Gate-Konzepte).

Wenn sich das Device aufheizt, verringert sich die Beweglichkeit von Ladungsträgern in dem Kanal-Bereich, was wiederum den Drain-Strom verringert. Folglich wird die Device-Charakteristik signifikant modifiziert, mit negativer Ausgangs-Leitfähigkeit, wie häufig bei hohen Drain-Strömen beobachtbar.

Thermische Effekte sind nicht generell für Digital-Schaltkreise signifikant, aufgrund der geringen mittleren Energiedissipation, und dadurch, dass Taktfrequenzen normalerweise ausreichend weit oberhalb thermischer Zeitkonstanten liegen. Allerdings können Analog-Schaltkreise

durch Selbstaufheizungs-Effekte signifikant beeinflusst werden. Die Ausgangs-Leitfähigkeit kann bei geringen Frequenzen gering oder sogar negativ sein und kann dann mit der Frequenz ansteigen, was zu unvorhergesehen Verstärkungs- und Phasenvariationen führt. Aneinandergrenzende zusammenwirkende Devices können auf unterschiedlichen Temperaturen liegen, was zu einer thermisch induzierten Fehlanpassung führen kann. Die Temperaturgradienten, die aus dem Selbstaufheizungseffekt und dem thermischen Kopplungseffekt resultieren, führen zu nichtisothermen Bedingungen und daher zu Fehlfunktionen, siehe [13].

Es sind Möglichkeiten bekannt, die Floating-Body-Effekte eines MOS-Transistors auf einem SOI-Film zu mildern, siehe [14]. Unter diesen Möglichkeiten scheint das Body-Kontakt-Verfahren die einzige Schaltungskreis-orientierte zu sein. Alle anderen Konzepte sind auf das Device-Engineering bezogen. Das Body-Potential in einem teilweise verarmten SOI-Transistor wird durch den Body-Kontakt konstant gehalten, wobei allerdings das Problem auftritt, wie die Systemgestaltung optimiert werden kann, bei simultaner Minimierung des Effekts von Streuwiderstand und Streukapazität zwischen dem Body-Kontakt-Pfad und dem aktiven Bereich. Ferner ist bekannt, dass die Effektivität von Löcherabsorption rapide absinkt, wenn die Kanalweite erhöht wird. Insbesondere erfordert die physikalische Definition des Kontakts zu dem FinFET oder zu dem planaren Doppel-Gate-Transistor eine heikle Lithographie.

Vollständig verarmte ("fully depleted", FD) SOI-Devices, bei denen ein ultradünner Silizium-Body eines SOI-Substrats von 10nm bis 30nm Dicke verwendet werden, ist natürlich eine gute Wahl für die Analog/Mixed-Signal-Anwendungen, da sie den Kink-Effekt unterdrücken, siehe [15]. Allerdings können sogar vollständig verarmte Device-Strukturen Selbstaufheiz-Effekte nicht verhindern, und es ist der kleine Prozessspielraum von FD-Devices bezüglich der Schwellenspannungs-Steuerung zu berücksichtigen sowie ein Flächenverlust. Ferner ist der hohe

inhärente Body-Widerstand und die hohe inhärente Body-Kapazität, die durch den Body-Kontakt eingeführt werden, problematisch, und die Effekte des Floating-Bodys sind bei weitem schwerwiegender bei einem Analog-Design.

5

Auch fortgeschrittene Doppel- und Dreifach-Gate-Konzepte leiden unter dem Selbstaufheizen ("self-heating") und, abhängig davon, wie sie aufgebaut sind, können sie auch Ladungsakkumulationseffekten wie dem Kink-Effekt in teilweise verarmten SOI-Substraten ausgesetzt sein.

10

Der Erfindung liegt das Problem zugrunde, das niederfrequente Rauschen von Transistoren mit geringem Aufwand effektiv zu verringern.

15

Das Problem wird gelöst durch eine Transistor-Anordnung zum Verringern von Rauschen, durch einen integrierten Schaltkreis und durch ein Verfahren zum Verringern des Rauschens von Feldeffekttransistoren mit den Merkmalen gemäß den unabhängigen Patentansprüchen.

20

Die erfindungsgemäße Transistor-Anordnung zum Verringern von Rauschen weist einen ersten und einen zweiten Feldeffekttransistor auf, von denen jeder einen ersten und einen zweiten Source-/Drain-Anschluss aufweist und einen Steuer-Anschluss zum Anlegen eines ersten und eines zweiten Signals aufweist. Die ersten Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors sind miteinander gekoppelt. Die zweiten Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors sind miteinander gekoppelt. Die Transistor-Anordnung ist derart eingerichtet, dass alternierend an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal anlegbar ist, bzw. an den Steuer-Anschluss des ersten Feldeffekttransistors das zweite Signal und simultan an den

25

30

35

Steuer-Anschluss des zweiten Feldeffekttransistors das erste Signal anlegbar ist.

Der erfindungsgemäße integrierte Schaltkreis enthält mindestens eine Transistor-Anordnung mit den oben genannten
5 Merkmalen.

Gemäß dem erfindungsgemäßen Verfahren zum Verringern des Rauschens von Feldeffekttransistoren werden ein erster und ein zweiter Feldeffekttransistor verschaltet, wobei jeder der

10 Feldeffekttransistoren einen ersten und einen zweiten Source-/Drain-Anschluss aufweist und einen Steuer-Anschluss zum Anlegen eines ersten oder eines zweiten Signals aufweist. Die ersten Source-/Drain-Anschlüsse des ersten und des

zweiten Feldeffekttransistors werden miteinander gekoppelt,
15 und die zweiten Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors werden miteinander gekoppelt. Die Transistor-Anordnung wird derart eingerichtet, dass

alternierend an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal und simultan an den
20 Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal angelegt wird, bzw. an den Steuer-Anschluss des ersten Feldeffekttransistors das zweite Signal und simultan an den

Steuer-Anschluss des zweiten Feldeffekttransistors das erste Signal angelegt wird.

25 Mit anderen Worten werden an die Steuer-Anschlüsse, z.B. Gate-Anschlüsse oder Substrat-Anschlüsse, der beiden Feldeffekttransistoren alternierend Signale angelegt. In einem ersten Zeitintervall kann zum Beispiel an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal,
30 z.B. ein elektrisches Massepotential, angelegt sein und simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal, z.B. ein Nutzsignal, angelegt sein. In einem zweiten Zeitintervall kann zum

Beispiel an den Steuer-Anschluss des ersten
35 Feldeffekttransistors das zweite Signal angelegt sein und simultan an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal angelegt sein.

Zwischen diesen beiden Betriebszuständen wird mit einer vorgebbaren Frequenz umgeschaltet.

Anschaulich werden erfindungsgemäß physikalische

- 5 Eigenschaften von Grenzflächenzuständen vorteilhaft verwendet und mit einer einfachen und effizienten Schaltungsarchitektur kombiniert, wodurch das Rauschen, insbesondere das niederfrequente Rauschen der Schaltung bzw. die Beiträge der darin enthaltenen Transistoren signifikant vermindert wird.

10

Eine Grundidee der Erfindung besteht darin, dass ein Transistor eines Schaltkreises durch zwei vorzugsweise baugleiche Ersatz-Transistoren ersetzt wird. Die ersten Source-/Drain-Anschlüsse des ersten und des zweiten

- 15 Transistors werden miteinander gekoppelt und die zweiten Source-/Drain-Anschlüsse der beiden Transistoren werden miteinander gekoppelt. Die Steuer-Anschlüsse der

Transistoren werden jeweils alternierend zwischen zwei Schaltungsknoten mit unterschiedlichen elektrischen Potentialen hin- und hergeschaltet. Auf diese Weise wird anschaulich erreicht, dass einer der beiden Transistoren jeweils einen Arbeitspunkt in Verarmung oder Akkumulation einnimmt, und der andere Transistor einen Arbeitspunkt im Inversion einnimmt. Es ist anzumerken, dass die (Quasi-)

20

- 25 Fermi-Niveaus in Inversion einerseits bzw. in Verarmung oder Akkumulation andererseits ausreichend weit auseinander liegen.

Wie im Weiteren erläutert wird, führt diese Verschaltung zu

30

einer Verminderung des niederfrequenten Rauschens. Ein Grenzflächenzustand, dessen Energieniveau nahe bei dem Quasi-Fermi-Niveau in Inversion bzw. in Verarmung oder Akkumulation liegt, hat das Bestreben, seinen Besetzungszustand bei diesem Quasi-Fermi-Niveau statisch zu ändern. Dieses Phänomen

35

bewirkt das niederfrequente Rauschen eines Transistors, da dadurch dem Kanal-Strom jeweils ein Ladungsträger entnommen wird bzw. dem Kanal-Strom ein Ladungsträger zugeführt wird.

Ferner moduliert die in dem Grenzflächenzustand vorhandene oder nicht vorhandene elektrische Ladung den Kanal-Strom.

Das niederfrequente Rauschen des Transistors kann reduziert werden, wenn an die Steuer-Anschlüsse der beiden Feldeffekttransistoren alternierend erste und zweite Signale angelegt werden, so dass ein resultierendes Signal an einen jeweiligen Steuer-Anschluss angelegt wird, das mit einer Alternier-Frequenz zeitlich verändert wird. Aufgrund der erfindungsgemäßen Verschaltung ist es daher ermöglicht, das Quasi-Fermi-Niveau im Kanal-Bereich mit der Alternier-Frequenz zwischen den Werten in Inversion bzw. in Verarmung oder Akkumulation hin- und herzuschalten. Insbesondere wenn die Energie-Differenz der Quasi-Fermi-Niveaus in Inversion einerseits bzw. in Verarmung oder Akkumulation andererseits gegen die thermische Rauschenergie $k_B T$ groß ist bzw. wenn der Kehrwert der Frequenz dieses Wechsels gegenüber den Zeitkonstanten der relevanten Grenzflächenzustände ausreichend klein gewählt wird, kann das niederfrequente Rauschen sehr effektiv verringert werden.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Der Steuer-Anschluss kann ein Gate-Anschluss oder ein Substrat-Anschluss (z.B. Bulk-Anschluss) sein. Bei einem SOI-Transistor ("Silicon-on-Insulator") zum Beispiel kann technologiebedingt ein Substrat-Anschluss nicht vorhanden sein, so dass in diesem Fall die Steuerung des Feldeffekttransistors mittels des Gate-Anschlusses erfolgt. In einem anderen Fall kann ein Transistor sowohl einen Gate-Anschluss als auch einen Substrat-Anschluss aufweisen, so dass eine Steuerung dann wahlweise mittels des Gate-Anschlusses oder mittels des Substrat-Anschlusses erfolgen kann.

Für den Fall, dass der Steuer-Anschluss des ersten und des

zweiten Feldeffekttransistors ein Gate-Anschluss ist, kann der erste und der zweite Feldeffekttransistor einen Substrat-Anschluss als Zusatz-Steuer-Anschluss aufweisen. Für den Fall, dass der Steuer-Anschluss des ersten und des zweiten Feldeffekttransistors ein Substrat-Anschluss ist, kann der erste und der zweite Feldeffekttransistor einen Gate-Anschluss als Zusatz-Steuer-Anschluss aufweisen. Die Zusatz-Steuer-Anschlüsse des ersten und des zweiten Feldeffekttransistors sind vorzugsweise miteinander gekoppelt. Mit anderen Worten kann bei Vorhandensein eines Gate-Anschlusses und eines Substrat-Anschlusses das alternierende Anlegen der ersten und zweiten Signale wahlweise an den beiden Gate-Anschlüssen oder an den beiden Substrat-Anschlüssen erfolgen. Die jeweiligen beiden Steuer-Anschlüsse bzw. Zusatz-Steuer-Anschlüsse, an welche alternierend die ersten und zweiten Signale nicht angelegt sind, können dann miteinander gekoppelt sein.

Eines des ersten und zweiten Signals kann ein Nutzsignal und das jeweils andere Signal ein Referenzpotential sein. Zum Beispiel kann das erste Signal ein zu verarbeitendes analoges Nutzsignal sein und das zweite Signal ein Masse- oder Versorgungsspannungs-Potential sein oder umgekehrt.

Vorzugsweise sind der erste und der zweite Feldeffekttransistor baugleich. Mit anderen Worten können die beiden Feldeffekttransistoren die gleichen geometrischen Abmessungen haben, aus den gleichen Materialien hergestellt sein, etc. Dies führt zu einer besonders symmetrischen Anordnung und in der Folge zu einem besonders wirkungsvollen Reduzieren des Rauschens.

Ferner können das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren mit einer Alternier-Frequenz alternieren, die mindestens so groß ist wie die Eckfrequenz der Rauschcharakteristik der Feldeffekttransistoren. Die Rauschleistungscharakteristik

eines Halbleiter-Bauelements, insbesondere eines Feldeffekttransistors, in Abhängigkeit von einer Frequenz ist eine Funktion mit einem charakteristischen Knick bei der sogenannten Eckfrequenz. Insbesondere bei Frequenzen, die höher (vorzugsweise mindestens um einen Faktor zwei höher) als die Knick- oder Eckfrequenz sind, ist das niederfrequente Rauschen (NF-Rauschen) effektiv unterdrückt..

Vorzugsweise alternieren das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren mit einer Alternier-Frequenz, die größer ist als die Frequenzen eines Nutzfrequenz-Bands eines zugeordneten Schaltkreises. Anschaulich soll dadurch ein Nutz-Frequenzband effektiv von einem Takt-Frequenzband (wobei ein Taktsignal zum alternierenden Anlegen der ersten und zweiten Signale an die Steuer-Anschlüsse der ersten und zweiten Feldeffekttransistoren dient) entkoppelt werden. Viele integrierte Schaltkreise werden bei einer charakteristischen Frequenz, der sogenannten Nutz-Frequenz, oder dem sogenannten Nutz-Frequenzband betrieben.

Das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren können mit einer reziproken Alternier-Frequenz alternieren, die kleiner, weiter vorzugsweise wesentlich kleiner, ist als eine mittlere Lebensdauer eines Besetzungszustands einer Störstelle im Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht des Feldeffekttransistors.

Vorzugsweise ist zumindest einer der Substrat-Anschlüsse als Wannen-Anschluss von einem der beiden Feldeffekttransistoren, der in einer Wanne ausgebildet ist, eingerichtet.

Bei Verwendung eines beispielsweise p-dotierten Substrats, in welchem ein Feldeffekttransistor ausgebildet wird, kann ein MOSFET des n-Leitungstyps direkt in dem p-dotierten Substrat ausgebildet werden. Um einen MOSFET des p-Leitungstyps in dem

p-dotierten Substrat auszubilden, ist es erforderlich, den zugehörigen Oberflächenbereich des Substrats (den sogenannten Wannenbereich) mit Dotieratomen des n-Leitungstyps zu dotieren und somit eine n-leitfähige Wanne auszubilden. In der Konfiguration der erfindungsgemäßen Transistor-Anordnung, bei der die Gate-Anschlüsse des ersten und des zweiten Feldeffekttransistors miteinander gekoppelt sind, können an die Wannen-Anschlüsse der ersten und zweiten Feldeffekttransistoren alternierend das erste und das zweite Signal angelegt werden.

Vorzugsweise weisen beide Feldeffekttransistoren denselben Leitungstyp auf. Mit anderen Worten sind entweder beide Feldeffekttransistoren des n-Leitungstyps, insbesondere n-MOSFETs, oder des p-Leitungstyps, insbesondere p-MOSFETs.

Gemäß einem Ausführungsbeispiel kann die Transistor-Anordnung derart eingerichtet sein, dass von den beiden Feldeffekttransistoren jeweils einer bei einem Inversions-Arbeitspunkt und der jeweils andere bei einem Akkumulations- oder Verarmungs-Arbeitspunkt betrieben wird.

Im Weiteren wird für das Beispiel eines p-dotierten Substrats erläutert, wodurch sich die Arbeitspunkte der Akkumulation, Verarmung und Inversion unterscheiden. Bei elektrischen Spannungen negativen Vorzeichens zwischen dem Gate-Bereich und dem Halbleiter-Material werden freie Ladungsträger (Löcher) aus dem p-dotierten Material des Substrats von der negativ geladenen Elektrode angezogen, so dass eine Schicht positiver elektrischer Ladung unterhalb des Gate-isolierenden Bereichs gebildet wird. An dem Gate-Bereich bildet sich eine entsprechende Gegenladung. Den sich einstellenden Zustand nennt man Akkumulation.

Bei einer positiven Spannung am Gate-Anschluss wandern die elektrisch positiv geladenen Löcher von dem positiven Gebiet weg. In dem ausgeräumten Gebiet verbleiben nur die negativ

ionisierten Dotierungsatome, und es wird eine Raumladungszone gebildet. Diesen Zustand bezeichnet man als Verarmung.

Wird die Spannung am Gate-Anschluss ausgehend von dem zuletzt beschriebenen Szenario weiter erhöht, wandern die positiven Löcher in das Substrat und die negativen Elektronen werden von der positiven Elektrode angezogen. In dem Kanal-Bereich bilden sie eine leitende Inversions-Schicht. Den sich einstellenden Arbeitspunkt bezeichnet man als Inversion.

Bei der erfindungsgemäßen Transistor-Anordnung kann der Steuer-Anschluss des ersten Feldeffekttransistors mit einem ersten Schaltelement gekoppelt sein, welches mittels eines ersten Taktsignals mit einer Alternier-Frequenz geschaltet wird. Ferner kann der Steuer-Anschluss des zweiten Feldeffekttransistors mit einem zweiten Schaltelement gekoppelt sein, welches mittels eines zweiten Taktsignals, das zu dem ersten Taktsignal komplementär ist, mit der Alternier-Frequenz geschaltet wird. Mittels des jeweiligen Schaltelements wird an den jeweiligen Steuer-Anschluss des jeweiligen Feldeffekttransistors mit der Alternier-Frequenz alternierend das erste oder das zweite Signal angelegt. Anschaulich kann ein unter Verwendung eines Taktsignals schaltbares Schaltelement dazu verwendet werden, an den Steuer-Anschluss eines jeweiligen Feldeffekttransistors alternierend das erste oder das zweite Signal anzulegen.

Die ersten und zweiten Schaltelemente können erste und zweite Schalt-Transistoren sein, an deren jeweiligen Gate-Anschluss das jeweilige Taktsignal anlegbar ist und wobei ein jeweiliger Source-/Drain-Anschluss eines jeweiligen Schalt-Transistors mit dem Steuer-Anschluss des jeweiligen Feldeffekttransistors gekoppelt ist.

Die Transistor-Anordnung der Erfindung kann auf und/oder in einem Silicon-on-Insulator-Substrat (SOI-Substrat) gebildet sein.

Insbesondere können gemäß dieser Ausgestaltung der erste Feldeffekttransistor und der zweite Feldeffekttransistor als SOI-Feldeffekttransistoren realisiert sein.

5

Die erfindungsgemäße Ansteuerung des ersten und des zweiten Feldeffekttransistors mit alternierenden ersten bzw. zweiten Signalen eröffnet insbesondere für SOI-Anwendungen wichtige Vorteile. Abgesehen von der Verringerung des Rauschens, insbesondere des niederfrequenten Rauschens, tritt bei SOI-Transistor-Anordnungen der Erfindung zusätzlich die vorteilhafte Wirkung auf, dass der Floating-Body-Effekt und Selbstaufheizeffekte verringert werden. Dies ist insbesondere für die analoge Schaltungstechnik in SOI-CMOS-Technologie eine signifikante Verbesserung.

15

Gemäß diesem Aspekt der Erfindung werden Charakteristika eines SOI-Transistors unter periodischen Schaltbedingungen ausgenutzt, siehe [16], [17]. Wenn die Schaltfrequenz erhöht wird, begrenzt der Lade- oder Endladestrom des floatenden Bodys in einem SOI-Transistor, reflektierend die intrinsische kapazitive Kopplung in dem Device, die Löcherakkumulation, angetrieben durch die Impact-Ionisation. Dies führt erfindungsgemäß zu einer Unterdrückung der Body-Source-Vorspannung und des Kink-Effekts. Dieser periodische Schaltbetrieb des SOI-Transistors ermöglicht eine gute Linearität in der Ausgangscharakteristik (z.B. Ausgangsleitfähigkeit). Zusätzlich erlaubt dieser Betrieb, dass der SOI-Transistor dem Selbstaufheizeffekt weniger ausgesetzt ist, siehe [13].

30

Allerdings ist dieser Schaltbetrieb des Transistors in Analog/Hochfrequenz-Schaltkreisen nicht immer möglich. Nur einige Analog-Schaltkreise wie spannungsgesteuerte Oszillatoren ("voltage controlled oscillator", VCO) oder Switched-Capacitor-Schaltkreise, erlauben es, diese Schaltbedingungen auf sie anzuwenden, wobei ein Vorstrom nur

35

während bestimmter Zeitintervalle erforderlich ist oder Signalverarbeitung nicht kontinuierlich stattfindet.

Erfindungsgemäß wird erstmals die Realisierung dieser
5 Schaltbedingung in einem zeitlich kontinuierlich betriebenen Analog-Schaltkreis vorgenommen.

Die Vorteile der erfindungsgemäßen Transistor-Anordnung
machen sich bei einer Realisierung des ersten und des zweiten
10 Feldeffekttransistors auf und/oder in einem Silicon-on-Insulator-Substrat besonders stark bemerkbar, da abgesehen von der Verringerung des Rauschens bei SOI-Substraten aufgrund des getakteten Betriebes der beiden
Feldeffekttransistoren der Floating-Body-Effekt und der
15 Selbstaufheizeffekt verringert wird. Der Selbstaufheizeffekt wird insbesondere deshalb verringert, da jede der beiden Transistoren nur für die Hälfte eines Taktzyklus betrieben wird und in der jeweils anderen Hälfte des Taktzyklus Zeit zum Relaxieren hat, wodurch thermische Energie aus dem
20 Transistor abgeführt werden kann und der Transistor auf seine normale Betriebstemperatur zurückgebracht werden kann.

Die Transistor-Anordnung der Erfindung kann in Analog-Schaltungstechnik realisiert sein. In Analog-
5 Schaltungstechnik treten der Floating-Body-Effekt und das Selbstaufheizen bei einer SOI-Schaltkreis-Anordnung besonders stark auf, so dass die Verringerung von Floating-Body-Effekts bzw. des Selbstaufheizeffekts in einem Analog-Schaltkreis besonders wichtig ist.

30 Gemäß einer anderen Ausgestaltung der Transistor-Anordnung in der Realisierung in und/oder auf einem SOI-Substrat wird mindestens ein zusätzlicher Feldeffekttransistor bereitgestellt. Jeder des mindestens einen zusätzlichen
35 Feldeffekttransistors weist einen ersten und einen zweiten Source-/Drain-Anschluss auf und einen Steuer-Anschluss, an den das erste oder das zweite Signal anlegbar ist. Die ersten

Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors sind mit den ersten Source-/Drain Anschlüssen von jedem des mindestens einen zusätzlichen Feldeffekttransistors gekoppelt. Die zweiten Source-/Drain-
5 Anschlüsse des ersten und des zweiten Feldeffekttransistors sind mit den zweiten Source-/Drain-Anschlüssen von jedem des mindestens einen zusätzlichen Feldeffekttransistors gekoppelt. Die Transistor-Anordnung ist ferner derart eingerichtet, dass in einem ersten Betriebszustand an den
10 Steuer-Anschluss des ersten Feldeffekttransistors oder des zweiten Feldeffekttransistors oder genau eines des mindestens einen zusätzlichen Feldeffekttransistors das erste Signal und simultan an die Steuer-Anschlüsse von allen anderen Feldeffekttransistoren das zweite Signal angelegt wird. In
15 nachfolgenden Betriebszuständen wird das erste Signal sukzessive an den Steuer-Anschluss von jeweils einem der übrigen Feldeffekttransistoren angelegt und wird simultan das zweite Signal an die Steuer-Anschlüsse von allen anderen Feldeffekttransistoren angelegt.

20 Mit anderen Worten wird gemäß dieser Ausgestaltung gegenüber dem Stand der Technik ein einzelner Transistor nicht nur durch zwei Transistoren ersetzt, sondern durch drei, vier oder mehr Transistoren. Dann werden die ersten und zweiten
25 Signale zwischen diesen Transistoren zeitlich veränderlich derart hin- und hergeschaltet, dass bei jeweils einem der Transistoren das erste Signal an seinem Steuer-Anschluss angelegt ist und bei allen anderen Transistoren das zweite Signal angelegt ist. Sukzessive kann somit jeweils einer der
30 Transistoren als aktiver Transistor betrieben werden, wobei während der Aktivität dieses Transistors alle anderen der Transistoren inaktiv sind und relaxieren können. Anders ausgedrückt ist zu einem bestimmten Zeitpunkt immer genau einer der n Transistoren aktiv, wohingegen $n-1$ Transistoren
35 inaktiv sind. Dadurch können Selbstaufheizeffekte noch effektiver verringert werden, da anschaulich nur zu $1/n$ -tel der Zeit ein jeweiliger Feldeffekttransistor aktiv ist und

während $(n-1)/n$ -tel der Zeit inaktiv ist. Die beschriebene Konfiguration ist für SOI Feldeffekttransistoren bzw. für Analog-Schaltungstechnik-Schaltkreise besonders vorteilhaft.

- 5 Die Transistor-Anordnung kann eine Taktgeber-Einheit aufweisen, die mit den Feldeffekttransistoren derart gekoppelt ist, dass sie den Feldeffekttransistoren alternierend die Signale mittels gegeneinander verschobenen Taktsignalen bereitstellt.

10

Insbesondere kann eine solche Taktgeber-Einheit in der Transistor-Anordnung mit mehr als zwei Feldeffekttransistoren vorgesehen sein, wobei die Taktgeber-Einheit mit den Feldeffekttransistoren derart gekoppelt ist, dass sie die
15 Feldeffekttransistoren zwischen dem ersten Betriebszustand und den nachfolgenden Betriebszuständen mittels Bereitstellens gegeneinander verschobener Taktsignale schaltet.

20

Gemäß dieser Ausgestaltung wird das Schalten zwischen unterschiedlichen Betriebszuständen mit Hilfe von Schaltelementen durchgeführt, welche mittels eines jeweiligen Taktsignals steuerbar sind. Die Taktsignale sind gegeneinander derart verschoben, dass jeweils einem der
25 Feldeffekttransistoren zu einem bestimmten Zeitpunkt ein Taktsignal mit einem logischen Wert "1" bereitgestellt ist, wohingegen allen anderen Feldeffekttransistoren ein Taktsignal mit einem logischen Wert "0" bereitgestellt ist. Diese Realisierung ermöglicht es, jeweils einen der
30 Feldeffekttransistoren zu aktivieren und alle anderen Feldeffekttransistoren zu einem bestimmten Betriebszustand zu deaktivieren.

35

Bei der Transistor-Anordnung kann die Taktgeber-Einheit derart eingerichtet sein, dass sie die Taktsignale zum Verringern des Aufheizens der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren und/oder

zum Verringern des Floating-Body-Effekts der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren vorgibt.

- 5 Die Transistor-Anordnung kann zum Verringern der beiden beschriebenen Effekte eingerichtet werden, indem insbesondere die Schaltfrequenz (bzw. das Taktsignal), mit der die beiden Feldeffekttransistoren alternierend betrieben werden, auf einen solchen Wert abgestimmt werden, dass die Lade- bzw.
- 10 Entlade-Parameter den Floating-Body-Effekt verringern und/oder dass die Ruhezeiten eines Transistors zwischen benachbarten Aktivbetriebszeiten ausreichend lang sind, um eine ausreichende Abkühlung des Transistors zu gewährleisten. Die Taktfrequenz kann z.B. so gewählt werden, dass die
- 15 Ruhezeit eines Feldeffekttransistors, während welcher der andere Feldeffekttransistor aktiv betrieben wird, zum Abführen der thermischen Energie an die Umgebung ausreicht. Auch hat die Einstellung der Taktsignal-Parameter Einfluss auf den Floating-Body Effekt, der daher durch eine günstige
- 20 Wahl der Taktsignal-Parameter stark reduziert werden kann.

Im Weiteren wird der erfindungsgemäße integrierte Schaltkreis näher beschrieben. Ausgestaltungen der Transistor-Anordnung gelten auch für den integrierten Schaltkreis.

- 25 Der integrierte Schaltkreis kann beispielsweise eingerichtet sein als Differenzstufe-Schaltkreis, Stromquelle-Schaltkreis, Stromspiegel-Schaltkreis oder Operationsverstärker-Schaltkreis. Es ist jedoch auch jede andere Art von
- 30 Schaltkreis möglich, sofern dort mindestens ein Transistor vorhanden ist.

- Im Weiteren wird das erfindungsgemäße Verfahren zum Verringern des Rauschens von Feldeffekttransistoren näher
- 35 beschrieben. Ausgestaltungen der Transistor-Anordnung gelten auch für das Verfahren zum Verringern des Rauschens von Feldeffekttransistoren.

Bei dem Verfahren kann als Steuer-Anschluss ein Gate-Anschluss oder ein Substrat-Anschluss verwendet werden.

5 Gemäß dem Verfahren kann mittels alternierenden Anlegens der ersten und zweiten Signale die Quasi-Fermi-Energie in dem Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren periodisch um einen Wert verändert werden, der größer, vorzugsweise wesentlich größer
10 und weiter vorzugsweise mindestens um eine Größenordnung größer ist als das Produkt aus der Boltzmann-Konstante und der absoluten Temperatur.

Vorzugsweise wird mittels alternierenden Anlegens der ersten
15 und zweiten Signale die Quasi-Fermi-Energie in dem Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren periodisch um zwischen ungefähr 100meV und ungefähr 1eV verändert. Weiter vorzugsweise wird die Quasi-Fermi-Energie periodisch um
20 zwischen ungefähr 150meV und ungefähr 700meV verändert.

Die Anordnung der Feldeffekttransistoren kann auf und/oder in einem Silicon-on-Insulator-Substrat (SOI-Substrat) gebildet werden.

25 Gemäß dieser Ausgestaltung werden die in SOI-Schaltkreises auftretenden Floating-Body- und Self-Heating-Effekte effektiv unterdrückt, da aufgrund des alternierenden Betriebes des ersten und des zweiten Feldeffekttransistors dem jeweils
30 inaktiven Feldeffekttransistor keine zusätzliche elektrische Energie bereitgestellt wird, so dass er während einer Inaktivitätsphase seine Energie an die Umgebung abgeben kann, was zu einer Abkühlung führt. Ein unerwünschtes Erhitzen eines solchen Feldeffekttransistors kann damit wirksam
35 vermieden werden.

Gemäß dem Verfahren können ferner das erste Signal und das zweite Signal derart alternierend an die Steuer-Anschlüsse des ersten Feldeffekttransistors und des zweiten Feldeffekttransistors angelegt werden, dass das Aufheizen der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren verringert wird und/oder der Floating Body-Effekt der in und/oder auf dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren verringert wird.

- 10 Mittels Justierens der Betriebsparameter zum alternierenden Anlegen des ersten und zweiten Signals an die Steuer-Anschlüsse der ersten und zweiten Feldeffekttransistoren kann eine Optimierung dahingehend erreicht werden, dass Aufheizeffekte ausreichend verringert und der Floating-Body-
15 Effekt ausreichend reduziert wird.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

- 20 Es zeigen:

Figur 1A einen herkömmlichen n-MOS-Transistor und Figur 1B eine diesen ersetzende Transistor-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

25 Figur 2A einen herkömmlichen p-MOS-Transistor und Figur 2B eine diesen ersetzende Transistor-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung,

- 30 Figur 3 eine Querschnittsansicht eines integrierten CMOS-Schaltkreises gemäß der Erfindung mit einem n-MOS-Transistor und einem p-MOS-Transistor,

35 Figur 4A einen herkömmlichen p-MOS-Transistor und Figur 4B eine diesen ersetzende Transistor-Anordnung gemäß einem dritten Ausführungsbeispiel der Erfindung.

Figuren 5A bis 6B Differenzstufen gemäß dem Stand der Technik,

Figuren 7 bis 11 Differenzstufen als integrierte Schaltkreise gemäß ersten bis fünften Ausführungsbeispielen der Erfindung,

Figuren 12A bis 15B Stromquellen-Schaltkreise gemäß dem Stand der Technik,

Figuren 16A bis 18, Figuren 20 bis 24 Stromquellen-Schaltkreise als integrierte Schaltkreise gemäß sechsten bis vierzehnten Ausführungsbeispielen der Erfindung.

Figur 19 ein Hilfs-Schaltbild zum Erklären der Funktionalität der erfindungsgemäßen Stromquellen-Schaltkreise,

Figur 25A einen Stromspiegel mit n-MOS-Transistoren gemäß dem Stand der Technik,

Figuren 25B, 26 Stromspiegel als integrierte Schaltkreise gemäß fünfzehnten und sechzehnten Ausführungsbeispielen der Erfindung,

Figuren 27 und 28 Operationsverstärker gemäß dem Stand der Technik,

Figuren 29, 30 Operationsverstärker als integrierte Schaltkreise gemäß siebzehnten und achtzehnten Ausführungsbeispielen der Erfindung,

Figur 31A einen herkömmlichen n-MOS-SOI-Transistor und Figur 31B eine diesen ersetzende n-MOS-SOI-Transistor-Anordnung gemäß einem vierten Ausführungsbeispiel der Erfindung,

Figur 32A einen herkömmlichen p-MOS-SOI-Transistor und Figur 32B eine diesen ersetzende p-MOS-SOI-Transistor-Anordnung gemäß einem fünften Ausführungsbeispiel der Erfindung,

Figur 33 eine Querschnittansicht einer halbleitertechnologischen Realisierung der n-MOS-SOI-Transistor-Anordnung gemäß dem vierten Ausführungsbeispiel der Erfindung,

Figur 34A einen herkömmlichen n-MOS-SOI-Transistor und Figur 34B eine diesen ersetzende n-MOS-SOI-Transistor-Anordnung gemäß einem sechsten Ausführungsbeispiel der Erfindung,

Figur 35A einen Stromspiegel mit p-MOS-Transistoren gemäß dem Stand der Technik,

Figur 35B einen Stromspiegel mit p-MOS-SOI-Transistoren als integrierter Schaltkreis gemäß einem neunzehnten Ausführungsbeispiel der Erfindung,

Figur 36 einen Operationsverstärker in SOI-Technologie als integrierter Schaltkreis gemäß einem zwanzigsten Ausführungsbeispiel der Erfindung.

Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Im Weiteren wird beziehend auf Fig.1A und Fig.1B das Grundprinzip der Erfindung erläutert.

In Fig.1A ist ein herkömmlicher n-MOS-Transistor 100 gezeigt, der in einem Silizium-Substrat 101 integriert ist. Der n-MOS-Transistor 100 weist einen ersten Source-/Drain-Anschluss 102, einen zweiten Source-/Drain-Anschluss 103, einen Gate-

Anschluss 104 und einen Substrat-Anschluss 105 (Bulk-Anschluss) auf.

5 In einer Schaltung betrieben liefert der n-MOS-Transistor 100 einen Beitrag zum niederfrequenten Rauschen des Schaltkreises.

10 In Fig.1B ist eine Transistor-Anordnung 110 gemäß einem ersten Ausführungsbeispiel der Erfindung gezeigt, bei welcher der n-MOS-Transistor 100 erfindungsgemäß ersetzt ist, so dass niederfrequentes Rauschen unterdrückt ist.

15 Bei der Transistor-Anordnung 110 ist der n-MOS-Transistor 100 durch einen ersten und einen zweiten n-MOS-Ersatz-Transistor 100a, 100b ersetzt, die jeweils baugleich mit dem n-MOS-Transistor 100 sind, insbesondere die gleichen geometrischen Abmessungen wie der n-MOS-Transistor 100 aufweisen. Die ersten Source-/Drain-Anschlüsse 102 der n-MOS-Ersatz-Transistoren 100a, 100b sind miteinander gekoppelt, die 20 zweiten Source-/Drain-Anschlüsse 103 der beiden n-MOS-Ersatz-Transistoren 100a, 100b sind miteinander gekoppelt und die Substrat-Anschlüsse 105 der n-MOS-Ersatz-Transistoren 100a, 100b sind miteinander gekoppelt. Wie ferner aus Fig.1B ersichtlich, ist der Gate-Anschluss 104 aus Fig.1A durch 25 einen ersten Ersatz-Gate-Anschluss 104a als Gate-Anschluss des ersten n-MOS-Ersatz-Transistors 100a und durch einen zweiten Ersatz-Gate-Anschluss 104b als Gate-Anschluss des zweiten n-MOS-Ersatz-Transistors 100b ersetzt. Der erste Ersatz-Gate-Anschluss 104a des ersten n-MOS-Ersatz-Transistors 100a ist mit einem ersten Schalterelement 112a 30 gekoppelt, das mittels eines an einem ersten Taktsignal-Eingang 113a angelegten ersten Taktsignals ϕ_2 gesteuert wird. Ferner ist der zweite Ersatz-Gate-Anschluss 104b des zweiten n-MOS-Ersatz-Transistors 100b mit einem zweiten 35 Schalterelement 112b gekoppelt, das mittels eines zweiten Taktsignals ϕ_1 gesteuert wird. Die Schalterelemente 112a, 112b werden mit den (wie in Fig.1B gezeigt) gegenphasigen

Taktsignalen ϕ_1 bzw. ϕ_2 angesteuert. Dadurch wird jeweils einer der Ersatz-Gate-Anschlüsse 104a, 104b auf Masse-Potential 111 und der jeweils andere Ersatz-Gate-Anschluss 104b, 104a auf das an einen Gate-Schaltungsknoten 114 angelegte Potential gebracht. Ist an einen Ersatz-Gate-Anschluss 104a, 104b von einem der Transistoren 100a, 100b das elektrische Potential des Gate-Schaltungsknotens 114 angelegt, so ist der entsprechende Transistor 100a oder 100b in einen leitfähigen Zustand gebracht und nimmt einen Arbeitspunkt in Inversion ein. Ist dagegen an den Ersatz-Gate-Anschluss 104a, 104b von einem der Transistoren 100a oder 100b das elektrische Masse-Potential 111 angelegt, so sperrt der entsprechende Transistor 100a, 100b und nimmt einen Arbeitspunkt in Verarmung ("Depletion") oder Akkumulation ein. Es ist anzumerken, dass die exakte Lage des Arbeitspunktes von den Source-/Drain-Potentialen abhängt. Insbesondere sind die elektrischen Signale an den Anschlüssen der Transistor-Anordnung 110 derart gewählt, dass die Quasi-Fermi-Niveaus, die im Weiteren mit E_{inv} (für Inversion) bzw. $E_{depl/akk}$ (für Verarmung ("Depletion") bzw. Akkumulation) bezeichnet werden, energetisch ausreichend weit auseinander liegen.

Wie im Weiteren erläutert wird, ist bei der Transistor-Anordnung 110 das niederfrequente Rauschen vermindert. Ein Grenzflächenzustand, dessen Energie-Niveau nahe bei E_{inv} oder $E_{depl/akk}$ liegt, hat das Bestreben, seinen Besetzungszustand bei diesem Quasi-Fermi-Niveau nach dem Zufallsprinzip zu ändern. Dieses Phänomen führt zum niederfrequenten Rauschen des Transistors, da dem Kanalstrom ein Ladungsträger entnommen bzw. zugeführt wird. Die in dem Grenzflächenzustand vorhandene oder nicht vorhandene Ladung moduliert ferner den Kanal-Strom. Das niederfrequente Rauschen des Transistors wird reduziert, wenn das Quasi-Fermi-Niveau an der Grenzfläche zwischen Kanal-Bereich und Gate-isolierender Schicht periodisch verändert wird, wobei die Energiedifferenz groß gegen $k_B T$ sein sollte. Ferner ist der Kehrwert der

Frequenz dieses Wechsels, das heißt der Signale ϕ_1 bzw. ϕ_2 , kürzer gewählt als die Zeitkonstanten der relevanten Grenzflächenzustände, welche das niederfrequente Rauschen verursachen.

5

Im Weiteren wird bezugnehmend auf Fig.2A, Fig.2B eine Transistor-Anordnung 200 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

10 In Fig.2A ist ein herkömmlicher p-MOS-Transistor 210 gezeigt, der analog wie der n-MOS-Transistor 100 verschaltet ist.

In Fig.2B ist eine Transistor-Anordnung 200 gemäß einem zweiten Ausführungsbeispiel der Erfindung gezeigt, bei
15 welcher der p-MOS-Transistor 210 erfindungsgemäß durch einen ersten p-MOS-Ersatz-Transistor 210a und durch einem zweiten p-MOS-Ersatz-Transistor 210b ersetzt ist.

Abweichend von der Konfiguration von Fig.1B werden nunmehr
20 die Gate-Potentiale der p-MOS-Ersatz-Transistoren 210a, 210b zwischen dem Potential des Gate-Schaltungsknotens 114 und einem Versorgungs-Potential VDD 201 geschaltet. Gemäß dieser Konfiguration sperren die p-MOS-Ersatz-Transistoren 210a, 210b, wenn an ihrem jeweiligen Gate-Anschluss 104a, 104b das Versorgungs-Potential VDD 201 anliegt.

Im Weiteren wird bezugnehmend auf Fig.3, Fig.4A, Fig.4B eine weitere Variante beschrieben, wie erfindungsgemäß das niederfrequente Rauschen mittels eines ausreichend schnellen
30 Wechsels der Quasi-Fermi-Niveaus der verwendeten Transistoren vermindert wird. Gemäß dieser Variante ist mittels einer Ansteuerung des bzw. der betreffenden Transistoren über Wannen-Anschlüsse eine Einstellung des Arbeitspunktes möglich. Somit ist die beschriebene Alternative für
35 Transistoren anwendbar, welche in einer eigenen Wanne realisiert sind.

Im Weiteren wird bezugnehmend auf dem integrierten Schaltkreis 300 aus Fig.3 zunächst erläutert, was unter einem Bulk-Anschluss bzw. einem Wannenanschluss (Beispiele für den Substrat-Anschluss) verstanden wird.

5

In einem ersten Oberflächenbereich eines p-dotierten Silizium-Substrats 301 ist der n-MOS-Transistor 100 integriert. Dieser enthält einen n-dotierten Oberflächenbereich als ersten Source-/Drain-Bereich 302, einen anderen n-dotierten Oberflächenbereich als zweiten Source-/Drain-Bereich 303 und einen p-dotierten Substrat-Bereich 304. Auf einem Oberflächenbereich des p-dotierten Substrats 301 zwischen den Source-/Drain-Bereichen 302, 303 ist eine Gate-isolierende Schicht 305 aus Siliziumoxid aufgebracht, auf welcher ein metallisch leitfähiger Gate-Bereich 306 (z.B. aus hochdotiertem Poly-Silizium, aus Aluminium oder aus Wolfram) ausgebildet ist. Der Gate-Bereich 306 ist mit dem Gate-Anschluss 104 gekoppelt, der erste Source-/Drain-Bereich 302 ist mit dem ersten Source-/Drain-Anschluss 102 gekoppelt, der zweite Source-/Drain-Bereich 303 ist mit dem zweiten Source-/Drain-Anschluss 103 gekoppelt und der p-dotierte Substrat-Bereich 304 ist mit einem Bulk-Anschluss 307 gekoppelt.

Ferner ist in dem p-dotierten Silizium-Substrat 301 der p-MOS-Transistor 210 integriert. Um diesen in dem p-dotierten Silizium-Substrat 301 auszubilden, wird zuvor ein n-dotierter Wannen-Bereich 308 in einem Oberflächenbereich des p-dotierten Silizium-Substrats 301 ausgebildet. In dem n-dotierten Wannen-Bereich sind erste und zweite Source-/Drain-Bereiche 309, 310 als p-dotierte Bereiche ausgebildet. Zwischen den Source-/Drain-Bereichen 309, 310 ist eine Gate-isolierende Schicht 311 ausgebildet, auf der ein Gate-Bereich 312 ausgebildet ist. Ein weiterer n-dotierter Substrat-Bereich 313 in dem n-dotierten Wannen-Bereich 308 ist mit einem Wannen-Anschluss 314 gekoppelt. Ferner ist der erste Source-/Drain-Bereich 309 mit dem ersten Source-/Drain-

Anschluss 102, der zweite Source-/Drain-Bereich 310 mit dem zweiten Source-/Drain-Anschluss 103 sowie der Gate-Bereich 312 mit dem Gate-Anschluss 104 gekoppelt.

5 Wie in Fig.3 schematisch gezeigt, ist bei vielen CMOS-Prozessen die Verwendung eines p-dotierten Substrats 301 der Regelfall, so dass zum Ausbilden von p-MOS-Transistoren 210 in dem p-dotierten Substrat 301 zunächst ein n-dotierter Wannen-Bereich 308 auszubilden ist. Dagegen sind n-MOS-
10 Transistoren 100 direkt in einem p-dotierten Substrat 301 ausbildbar.

Es ist anzumerken, dass die folgenden Ausführungen bezugnehmend auf Fig.4A, Fig.4B, bei denen ein Umschalten des
15 Arbeitspunkts zwischen Inversion und Verarmung bzw. Akkumulation mittels eines Wannen-Anschlusses 314 erfolgt, jeweils für p-MOS-Transistoren gezeigt und erläutert wird. Allerdings ist diese Verschaltung auch für n-MOS-Transistoren möglich. Denn zum einen existieren Prozesse auf Basis eines
20 n-dotierten Substrats, bei denen ein p-MOS-Transistor direkt in einem Substrat ausgebildet werden kann, wohingegen ein n-MOS-Transistor dann in einer p-dotierten Wanne gefertigt wird. Bei solchen Prozessen ist das Prinzip des Umschaltens des Arbeitspunkts zwischen Inversion und Verarmung bzw.
5 Akkumulation mittels eines Wannen-Anschlusses für n-MOS-Transistoren möglich. Zum anderen erlauben moderne CMOS-Prozesse die Fertigung von n- und p-MOS-Transistoren in einer eigenen Wanne. Wenn solche Prozesse beispielsweise auf Basis eines p-dotierten Substrats durchgeführt werden, so liegt
30 dort der p-MOSFET in einer n-Wanne, der n-MOSFET hingegen in einer p-Wanne, die wiederum in einer übergeordneten n-Wanne liegt. In diesem Fall ist das Umschalten des Arbeitspunkts zwischen Inversion und Akkumulation bzw. Verarmung mittels des Wannen-Anschlusses für n- und p-MOS-Transistoren möglich.

Im Weiteren wird beziehend auf Fig.4A, Fig.4B eine Transistor-Anordnung 400 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

5 In Fig.4A ist wiederum der in Fig.2A gezeigte herkömmliche p-MOS-Transistor 210 gezeigt.

Bei der in Fig.4B gezeigten Transistor-Anordnung 400 ist der p-MOS-Transistor 210, ähnlich wie in Fig.2B, durch einen
10 ersten und einen zweiten p-MOS-Ersatz-Transistor 210a, 210b ersetzt. Im Unterschied zu Fig.2B ist gemäß Fig.4B allerdings ein gemeinsamer Gate-Anschluss 104 für die beiden p-MOS-Ersatz-Transistoren 210a, 210b vorgesehen. Dagegen sind bei
15 der Transistor-Anordnung 400 die Substrat-Anschlüsse (d.h. die Wannen-Anschlüsse) der beiden Transistoren 210a, 210b voneinander getrennt vorgesehen.

Mittels eines ersten Ersatz-Substrat-Anschlusses 105a ist der Substrat- bzw. Wannen-Anschluss des ersten p-MOS-Ersatz-
20 Transistors 210a mit einem ersten Schalterelement 112a gekoppelt. Der erste Ersatz-Substrat-Anschluss 105a wird mittels des von einem ersten Taktsignal ϕ_2 gesteuerten Schalterelement 112a zwischen dem Versorgungsspannungspotential VDD 201 und einer Referenzspannung V0 (die
25 gemäß dem beschriebenen Ausführungsbeispiel gegenüber VDD negativ ist) hin- und hergeschaltet. Ferner wird das Potential des Wannen-Anschlusses des zweiten p-MOS-Ersatz-Transistors 210a mittels eines zweiten Ersatz-Substrat-Anschlusses 105b und eines mit diesem gekoppelten zweiten
30 Schalterelement 112b zwischen dem Versorgung-Potential 201 VDD und der Referenzspannung V0 hin- und hergeschaltet. Das zweite Schalterelement 112b wird mittels eines zweiten Taktsignals ϕ_1 gesteuert, das zu dem ersten Taktsignal ϕ_2 gegenphasig ist.

35

Erfindungsgemäß wird der p-MOS-Transistor 210 in der Schaltung ersetzt durch die beiden p-MOS-Ersatz-Transistoren

210a und 210b, die jeweils baugleich mit dem p-MOS-Transistor 210 sind, insbesondere die gleichen geometrischen Abmessungen wie der p-MOS-Transistor 210 aufweisen. Wiederum sind die ersten Source-/Drain-Anschlüsse 102 der p-MOS-Ersatz-Transistoren 210a, 210b miteinander gekoppelt, es sind die zweiten Source-/Drain-Anschlüsse 103 der p-MOS-Ersatz-Transistoren 210a, 210b gekoppelt und es sind die Gate-Anschlüsse dieser Transistoren 210a, 210a miteinander gekoppelt. Die Wannen-Anschlüsse 105a, 105b der p-MOS-Ersatz-Transistoren 210a, 210b werden mittels der Schalterelemente 112a, 112b jeweils alternierend zwischen dem Versorgungspotential 201 VDD als positive Betriebsspannung und der Referenzspannung V0 als eine gegenüber VDD negative Spannung geschaltet. Die Referenzspannung V0 ist nicht notwendigerweise eine konstante Spannung, sondern kann auch aus anderen Potentialen innerhalb der Schaltung, insbesondere zum Beispiel aus dem Potential am zweiten Source-/Drain-Anschluss 103 der Transistoren 210a, 210b abgeleitet werden. Ferner kann anstelle des Versorgungspotentials VDD auch eine gegenüber VDD größere Spannung verwendet werden, sofern eine solche verfügbar ist. Darüber hinaus kann anstelle des Versorgungspotentials 201 VDD eine geregelte Spannung verwendet werden, das heißt eine Spannung, die aus anderen Potentialen innerhalb der Schaltung abgeleitet wird. Da es in der Regel jedoch günstig ist, die Differenz der beiden Spannungen zum Ansteuern der Wannen möglichst groß zu halten, ist es aus praktischen Gründen häufig vorteilhaft, für die eine der beiden Spannungen das höchste in der gegebenen Anwendung verfügbare Potential zu wählen, das heißt diese Spannungen auch nicht zu regeln. Für die Referenzspannung V0 sollte die Rahmenbedingung eingehalten werden, dass die Differenz zwischen dem Potential eines Source-/Drain-Anschlusses und dem Potential V0 kleiner als ungefähr 0.6V bis 0.7V sein sollte, so dass durch die zwischen Wanne und Source-/Drain-Bereich gebildete Diode (pn-Übergang) kein zu großer Strom fließt. Der Wert 0.6V bis 0.7V resultiert aus der Schwellen-Spannung der mittels des pn-Übergangs

gebildeten Diode. Die Potentiale sind derart anzulegen, dass die zwischen einem Source-/Drain-Bereich und dem Wannen-Bereich (bzw. Kanal-Bereich) gebildete Dioden im Wesentlichen nicht in Flussrichtung geschaltet ist.

5

Die Schalterelemente 112a, 112b werden über die Taktsignale ϕ_1 , ϕ_2 angesteuert, welche komplementär zueinander sind. Ist der Wannen-Knoten 105a des Transistors 210a bzw. der Wannen-Knoten 105b des Transistors 210b mit der Referenzspannung V_0 gekoppelt, so ist der zugehörige Transistor elektrisch leitfähig und nimmt einen Arbeitspunkt in Inversion ein. Ist der Wannen-Knoten 105a bzw. 105b mit dem Versorgungspotential 201 VDD gekoppelt, so sperrt der zugehörige Transistor und nimmt einen Arbeitspunkt in Verarmung oder Akkumulation ein, wobei die genaue Lage des Arbeitspunkts wieder von dem Potential an dem Source-Anschluss 103 abhängt.

10

15

20

5

Der Mechanismus der Rauschunterdrückung erfolgt analog wie bezugnehmend auf Fig.1A bis Fig.2B beschrieben. Um zu einer wirksamen Rauschreduktion zu gelangen, wird der Kehrwert der Frequenz der Signale ϕ_1 , ϕ_2 kürzer gewählt als die Zeitkonstanten der Grenzflächenzustände, die das niederfrequente Rauschen verursachen. Mit anderen Worten wird die Frequenz der Taktsignale ϕ_1 , ϕ_2 hinreichend groß gewählt. Ferner sollte die Differenz der Gate-Source-Spannungen zwischen den beiden Zuständen ausreichend groß sein, um das Quasi-Fermi-Niveau im Transistor signifikant zu verändern, insbesondere groß gegen $k_B T$.

30

Im Weiteren werden Ausführungsbeispiele des erfindungsgemäßen integrierten Schaltkreises beschrieben.

35

Hierfür wird jeweils zunächst eine Realisierung eines jeweiligen Schaltkreises (insbesondere Differenzstufe, Stromquelle, Stromspiegel und Operationsverstärker) gemäß dem Stand der Technik beschrieben, und jeweils nachfolgend ein Beispiel einer erfindungsgemäßen Realisierung, bei der

niederfrequentes Rauschen unterdrückt ist, indem rauschkritische Transistoren durch eine erfindungsgemäße Transistor-Anordnung ersetzt werden.

5 In Fig.5A ist eine aus dem Stand der Technik bekannte Differenzstufe 500 mit einem ersten und einem zweiten n-MOS-Eingangstransistor 501, 502 gezeigt. Die Differenzstufe 500 enthält differentielle erste und zweite Eingänge 503, 504 IN+, IN- und differentielle erste und zweite Ausgänge 505, 506 OUT+, OUT-. Ferner sind weitere Schaltungselemente in Form abstrahierter erster und zweiter Lastelemente 507, 508 und eine Stromquelle 509 I_{bias} vorgesehen.

15 Die in Fig.5B gezeigte Differenzstufe 510 gemäß dem Stand der Technik unterscheidet sich von der Differenzstufe 500 dadurch, dass die Stromquelle 509 mittels eines n-MOS-Stromquellen-Transistors 511 ausgeführt ist, an dessen Gate-Anschluss eine Vorspannung 512 V_{bias} angelegt ist.

20 Die in Fig.6A gezeigte Differenzstufe 520 gemäß dem Stand der Technik unterscheidet sich von der Differenzstufe 500 im Wesentlichen dadurch, dass als Eingangstransistoren erste und zweite p-MOS-Eingangstransistoren 601, 602 verwendet sind. Ferner ist in Fig.6A der Wannen-Anschluss der p-MOS-Eingangstransistoren 521, 522 mit einem gemeinsamen Source-Knoten dieser Transistoren gekoppelt. Anstelle des Masse-Potentials 111 ist an einen Anschluss der Stromquelle 509 in Fig.6A das Versorgungspotential 201 angelegt. Die Stromquelle 509 kann unter Verwendung eines p-MOS-Feldeffekttransistors realisiert werden, an dessen Gate-Anschluss eine Bias-Spannung angelegt wird, und dessen beide Source-/Drain-Anschlüsse zwischen das Versorgungspotential 201 einerseits und die gemäß Fig.6A oberen Source-/Drain-Anschlüsse der Transistoren 601, 602 andererseits geschaltet sind (ähnlich wie in Fig.5B).

35

Bei der in Fig.6B gezeigten, aus dem Stand der Technik bekannten Differenzstufe 610 liegen die Wannen-Anschlüsse der ersten und zweiten p-MOS-Eingangs-Transistoren 601, 602 abweichend von der Differenzstufe 600 fest auf positiver Betriebsspannung, d.h. auf dem Versorgungs-Potential 201.

Im Weiteren wird beziehend auf Fig.7 eine Differenzstufe 700 als integrierter Schaltkreis gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

10

Bei der Differenzstufe 700 ist das erfindungsgemäße Prinzip zum Verringern des Rauschens von Transistoren bezogen auf die Differenzstufe 500 aus Fig.5A angewendet. Hierfür ist der erste n-MOS-Eingangs-Transistor 501 durch einen ersten und einen zweiten n-MOS-Ersatz-Eingangs-Transistor 501a, 501b ersetzt, und der zweite n-MOS-Eingangs-Transistor 502 ist durch einen dritten und durch einen vierten n-MOS-Ersatz-Eingangs-Transistor 502a, 502b ersetzt. Mittels der ersten und zweiten Taktsignal-Eingänge 113a, 113b werden unter Verwendung von ersten bis achten Schalt-Transistoren 701 bis 708 alternierende Signale in der in Fig.7 gezeigten Weise an die Gate-Anschlüsse der Transistoren 501a, 501b bzw. 502a, 502b angelegt. Sofern die Schaltungen aus Fig.7 und Fig.5A im Wesentlichen gleiche elektrische Eigenschaften bezüglich Querstrom, Steilheit und Treiberfähigkeit aufweisen sollen, sind die Dimensionen der ersten bis vierten n-MOS-Ersatz-Eingangs-Transistoren 501a, 501b, 502a, 502b in den gleichen Dimensionen vorzusehen wie die n-MOS-Eingangs-Transistoren 501, 502. Anschaulich werden die Gate-Anschlüsse der n-MOS-Ersatz-Eingangs-Transistoren 501a, 501b, 502a, 502b abwechselnd zwischen den Potentialen des jeweiligen Eingangs-503 bzw. 504 und dem Masse-Potential 111 hin- und hergeschaltet, was mittels der ersten bis achten Schalt-Transistoren 701 bis 708 realisiert ist. Die Schalt-Transistoren 701 bis 708 werden wiederum mittels der zueinander komplementären Taktsignale ϕ_1 bzw. ϕ_2 angesteuert,

35

wobei die Taktsignale ϕ_1 bzw. ϕ_2 ein Duty-Cycle-Verhältnis von ungefähr 50% aufweisen.

Wenn beispielsweise das Potential des zweiten Taktsignals ϕ_1 auf VDD-Potential liegt, und das des ersten Taktsignals ϕ_2 auf Massepotential liegt, leiten die ersten, vierten, fünften und achten Schalt-Transistoren 701, 704, 705, 708, wohingegen die zweiten, dritten, sechsten und siebten Schalt-Transistoren 702, 703, 706, 707 sperren, so dass die Gate-Anschlüsse der ersten und dritten n-MOS-Ersatz-Eingangs-Transistoren 501a, 502a mit den Eingängen 503, 504 IN+, IN- der Differenzstufe 700 gekoppelt sind, so dass diese Transistoren 501a, 502a Strom führen und in Inversion betrieben werden. Die Gate-Anschlüsse der zweiten und vierten n-MOS-Ersatz-Eingangs-Transistoren 501b, 502b sind hingegen auf Masse-Potential 111, so dass diese Transistoren 501b, 502b stromfrei sind und in Verarmung oder Akkumulation betrieben werden. Ein Wechsel des zweiten Taktsignals ϕ_1 auf Massepotential und des ersten Taktsignals ϕ_2 auf VDD-Potential bewirkt, dass die zweiten und vierten n-MOS-Eingangs-Transistoren 501b, 502b mit den Eingängen 503, 504 IN+, IN- der Differenzstufe 700 gekoppelt sind und somit in Inversion betrieben werden. Die ersten und dritten n-MOS-Ersatz-Eingangs-Transistoren 501a, 502a werden hingegen in Verarmung oder Akkumulation betrieben. Ein ausreichend schnelles Hin- und Herschalten der ersten und zweiten Taktsignale ϕ_1 und ϕ_2 zwischen Massepotential und VDD-Potential bewirkt, dass die Rauschbeiträge der Transistoren erfindungsgemäß gemindert werden.

Es ist anzumerken, dass bei der Differenzstufe 700 im zeitlichen Mittel ein Eingangsstrom I_{cg} in die Schaltung fließt, der sich gemäß

$$I_{cg} = V_{g,on} \times f \times (C_{g501a} + C_{g501b}) \quad (1)$$

berechnet, wobei f die Frequenz der Taktsignale ϕ_1 und ϕ_2 ist, $V_{g,on}$ die Spannung, die am Gate-Anschluss der Eingangstransistoren anliegt, wenn diese im leitenden Zustand sind, und $C_{g501a}+C_{g501b}$ die Summe der Gate-Kapazitäten der ersten und zweiten n-MOS-Ersatz-Eingangs-Transistoren 501a, 501b ist (welche identisch ist zu der Summe der Gate-Kapazitäten der dritten und vierten n-MOS-Ersatz-Eingangs-Transistoren 502a, 502b).

Bei einer noch genaueren Modellierung müsste die Summe der Integrale der Gate-Kapazitäten über den Spannungsbereich, der bei erfindungsgemäß getaktetem Betrieb der Transistoren überstrichen wird, betrachtet werden, was zu einem etwas geringeren Wert für die Summe der Kapazitäten führt. Die Gate-Kapazität ist in starker Inversion und in starker Akkumulation näherungsweise konstant, im Verarmungs-Betrieb zeigt sich jedoch eine relativ starke Spannungsabhängigkeit und eine Verminderung gegenüber den Werten in Inversion und Akkumulation.

Unter Anwendung einer aus der Switched-Capacitor-Schaltungstechnik bekannten Sichtweise, wie sie beispielsweise in [7] bis [9] beschrieben ist, wirkt sich der Betrieb der Differenzstufe 700 so aus, als wäre am Eingang der Schaltung ein ohmscher Widerstand R der Größe

$$R = V_{g,on}/I_{cg} = 1/[f \times (C_{g501a}+C_{g501b})] \quad (2)$$

vorhanden. Es ist anzunehmen, dass der Gesamt-Eingangs-Widerstand der Schaltung 700 gegenüber den Schaltungen aus den Fig.5A bis Fig.6B sinkt, bzw. der Eingangs-Widerstand nicht mehr rein kapazitiv ist, sondern abgesehen von seiner kapazitiven Komponente einen ohmschen Beitrag enthält.

Die in Fig.8 gezeigte Differenzstufe 800 als integrierter Schaltkreis gemäß einem zweiten Ausführungsbeispiel der Erfindung stellt eine erfindungsgemäße Realisierung der

Differenzstufe 600 aus Fig.6A mit verringertem niederfrequentem Rauschen dar.

Mit anderen Worten ist die Differenzstufe 800 eine
5 komplementäre Variante der Differenzstufe 700, da bei der Differenzstufe 800 p-MOS-Transistoren verwendet werden, anstelle von den in Fig.7 verwendeten n-MOS-Transistoren. Insbesondere ist der erste p-MOS-Eingangs-Transistor 601 aus Fig.6A durch einen ersten und einen zweiten p-MOS-Ersatz-
10 Eingangs-Transistor 601a, 601b ersetzt und in erfindungsgemäßer Weise verschaltet. Ferner ist der zweite p-MOS-Eingangs-Transistor 602 aus Fig.6A durch einen dritten und einen vierten p-MOS-Ersatz-Eingangs-Transistor 602a, 602b ersetzt und erfindungsgemäß verschaltet. Darüber hinaus sind
15 anstelle der ersten bis achten n-MOS-Schalt-Transistoren 701 bis 708 entsprechend der erste bis achte p-MOS-Schalt-Transistoren 801 bis 808 vorgesehen, welche gemäß ihrer Funktionalität den Schalt-Transistoren 701 bis 708 entsprechen. Es ist anzumerken, dass bei der Differenzstufe
20 800 die ersten und zweiten p-MOS-Ersatz-Schalt-Transistoren 601a, 601b voneinander getrennte Gate-Anschlüsse aufweisen, das heißt, dass der Arbeitspunkt dieser Transistoren mittels Anlegens alternierender Signale an deren Gate-Anschlüsse eingestellt wird.

5 Die in Fig.7, Fig.8 gezeigten erfindungsgemäßen Differenzstufen 700, 800 können besonders vorteilhaft in SOI-Technologie ("Silicon-on-Insulator") realisiert werden. In diesem Fall sind die Transistoren aus Fig.7, Fig.8 auf
30 und/oder in einem SOI-Substrat gebildet. Diese Transistoren können insbesondere als teilweise verarmte Transistoren ("partially-depleted") ausgeführt sein. Bei einer Differenzstufe 700, 800 mit SOI-Transistoren sind störende Selbstheiz-Effekte und Floating-Body-Effekte aufgrund der
35 erfindungsgemäßen getakteten Ansteuerung (mit einem Duty-Cycle von vorzugsweise ungefähr 50%) stark reduziert.

Bei der in Fig.9 gezeigten Differenzstufe 900 als integrierter Schaltkreis gemäß einem dritten Ausführungsbeispiel der Erfindung ist die Verschaltung ähnlich wie bei der Differenzstufe 800 in Fig.8 mit dem

5 Unterschied, dass die ersten und zweiten p-MOS-Ersatz-Eingangs-Transistoren 601a, 601b an deren Gate-Anschlüssen gekoppelt sind, wohingegen deren Wannen-Anschlüsse getrennt voneinander vorgesehen sind und mittels der Taktsignale ϕ_1 bzw. ϕ_2 auf alternierende Potentiale geschaltet werden.

10 Analoges gilt für die dritten und vierten p-MOS-Ersatz-Eingangs-Transistoren 602a, 602b. Bei der in Fig.9 gezeigten Differenzstufe 900 erfolgt somit die Umschaltung der p-MOS-Ersatz-Eingangs-Transistoren 601a, 601b, 602a, 602b zwischen Inversionsbetrieb und Verarmungs- bzw. Akkumulationsbetrieb

15 nicht über eine Ansteuerung dieser Transistoren über deren Gate-Anschluss, sondern über deren Wannen-Anschluss. Diese werden hier zwischen dem einen Source-/Drain-Potential der Transistoren und dem Versorgung-Potential 201 VDD unter Verwendung der ersten bis achten p-MOS-Schalt-Transistoren

20 801 bis 808 sowie der getakteten Steuersignale ϕ_1 und ϕ_2 hin- und hergeschaltet.

Die Differenzstufe 900 hat die besonderen Vorteile, dass die Schaltsignale ϕ_1 und ϕ_2 über die ersten bis achten p-MOS-Schalt-Transistoren 801 bis 808 nicht unmittelbar auf die

25 Eingangssignale an den Eingängen 503, 504 IN+, IN- überkoppeln können. Ferner ist bei der Differenzstufe 900 vermieden, dass der Eingangs-Widerstand quasi-ohmsche Komponenten enthält.

30 Im Weiteren wird bezugnehmend auf Fig.10 eine Differenzstufe 1000 als integrierter Schaltkreis gemäß einem vierten Ausführungsbeispiel der Erfindung beschrieben.

35 Die Differenzstufe 1000 unterscheidet sich von der Differenzstufe 900 im Wesentlichen dadurch, dass eine Regelschaltung 1001 vorgesehen ist, an deren Eingang 1001a

das eine Source-/Drain-Potential der ersten bis vierten p-MOS-Ersatz-Eingangs-Transistoren 601a, 601b, 602a, 602b anliegt, wobei mittels der Regelschaltung 1001 ein um einen negativen Spannungsbeitrag ΔV gegenüber diesem Source-/Drain-Potential versetzter Wert generiert wird, der (bei durchgeschalteten p-MOS-Schalt-Transistoren 801, 802, 805 bzw. 806) zum Ansteuern der Wannen-Potentiale der ersten bis vierten p-MOS-Ersatz-Eingangs-Transistoren 601a, 601b, 602a, 602b verwendet wird. Die Differenz der Wannen-Potentiale, mittels welcher die Eingangs-Transistoren 601a, 601b, 602a, 602b zwischen Inversion und Akkumulation hin- und hergeschaltet werden, ist daher bei der Differenzstufe 1000 noch größer als bei der Differenzstufe 900. Daher weist die Differenzstufe 1000 den besonderen Vorteil auf, dass ein ausreichend großer Signalhub an den jeweiligen Wannen-Anschlüssen der Eingangs-Transistoren 601a, 601b, 602a, 602b auftritt, der daraus resultiert, dass der Unterschied zwischen VDD und dem anderen an den Wannen-Anschluss der Eingangstransistoren 601a, 601b angelegten Potential hinreichend groß ist. Somit ist ein sicheres Einstellen des Arbeitspunkts der Transistoren sichergestellt.

Im Weiteren wird bezugnehmend auf Fig.11 eine Differenzstufe 1100 als integrierter Schaltkreis gemäß einem fünften Ausführungsbeispiel der Erfindung beschrieben.

Die Differenzstufe 1100 unterscheidet sich von der Differenzstufe 1000 im Wesentlichen darin, dass die Regelschaltung 1001 bei der Differenzstufe 1100 als Sourcefolger-Schaltkreis 1101 ausgestaltet ist. Der Sourcefolger-Schaltkreis 1101 enthält einen Hilfs-Transistor 1102, dessen Gate-Anschluss mit der Stromquelle 509 gekoppelt ist, und enthält eine andere Stromquelle 1103. Mittels Einstellens der geometrischen Parameter des Hilfs-Transistors 1102 und mittels Einstellens des Werts des Stroms der anderen Stromquelle 1103 kann der Wert des Spannungsversatzes ΔV ,

generiert mittels der Regelschaltung 1101 bzw. des Sourcefolger-Transistors 1102, eingestellt werden.

Im Weiteren wird das Rauschen der Stromquelle 509 Ibias
5 diskutiert bzw. das Rauschen des Transistors oder der
Transistoren, mit dem oder mit denen diese Stromquelle 509
realisiert ist (z.B. der n-MOS-Stromquellen-Transistor 511
aus Fig.5B). Dieses Rauschen leistet zum Rauschen des
Ausgangssignals der Differenzstufe in guter Näherung keinen
10 Beitrag, da es zu gleichen Anteilen und korreliert in beide
Zweige der Stufe eingespeist wird. Somit stellt dieser
Parameter einen Gleichtakt-Beitrag dar, der sich nicht
nennenswert im Ausgangssignal niederschlägt. Insofern sind
schaltungstechnische Mittel zum Unterdrücken des Rauschens
15 der Bauelemente, mit denen die Stromquelle 509 realisiert
wird, üblicherweise nicht erforderlich bzw. haben nur
vernachlässigbaren Einfluss auf die Leistungsfähigkeit der
Differenzstufe hinsichtlich einer weiteren Verbesserung ihrer
Rauscheigenschaften. Es ist allerdings anzumerken, dass
20 bedarfsweise auch die Stromquelle 509 einer erfindungsgemäßen
Rauschunterdrückung unterzogen werden kann.

Die Eigenschaften der Lastelemente 507, 508 können sich
hingegen auf das Gesamtrauschen der Differenzstufen gemäß dem
5 bezugnehmend auf Fig.7 bis Fig.11 beschriebenen
Ausführungsbeispielen der Erfindung auswirken. Hier können
schaltungstechnische Ansätze zum Unterdrücken einen Gewinn an
Leitungsfähigkeit bedeuten.

30 Im Weiteren werden bezugnehmend auf Fig.12A bis Fig.15B
zunächst Stromquellen gemäß dem Stand der Technik und
nachfolgend bezugnehmend auf Fig.16A bis Fig.24 Stromquellen
mit der erfindungsgemäßen Transistor-Anordnung zum Verringern
des niederfrequenten Rauschens solcher Schaltkreise
35 beschrieben.

In Fig.12A ist ein Stromquellen-Schaltkreis 1200 gemäß dem Stand der Technik gezeigt.

Dieser weist erste bis n-te Stromquellen-Transistoren auf, von denen in Fig.12A der erste Stromquellen-Transistor 1201, der zweite Stromquellen-Transistor 1202 und der n-te Stromquellen-Transistor 1203 gezeigt sind. Jeder der Stromquellen-Transistoren ist an einem der beiden Source-/Drain-Anschlüsse mit einem zugehörigen von n Ausgangsanschlüssen gekoppelt, von denen in Fig.12A ein erster Ausgang 1204, ein zweiter Ausgang 1205 und ein n-ter Ausgang 1206 gezeigt sind. Die ersten Source-/Drain-Anschlüsse aller Stromquellen-Transistoren 1201 bis 1203 liegen gemeinsam auf Masse-Potential 111, an den Gate-Anschlüssen aller Stromquellen-Transistoren 1201 bis 1203 ist eine Vorspannung 1207 Vbias angelegt, die zweiten Source-/Drain-Anschlüsse der Stromquellen-Transistoren sind mit den Ausgängen 1204 bis 1206 gekoppelt. Damit der Stromquellen-Schaltkreis 1200 einen Stromquellen-Charakter aufweist, d.h. dass der Ausgangs-Strom bzw. die Ausgangs-Ströme an den Ausgängen 1204 bis 1206 keine bzw. höchstens eine geringe Abhängigkeit von der angelegten Ausgangs-Spannung bzw. den angelegten Ausgangs-Spannungen zeigt bzw. zeigen, sind die Transistoren 1201 bis 1203 im Sättigungsbereich zu betreiben, d.h. dass die Bedingung einzuhalten ist, dass die angelegten Source-/Drain-Spannungen mindestens so hoch sind wie die Differenz aus der Vorspannung Vbias 1207 und der Einsatzspannung V_t ("threshold") der Transistoren 1201 bis 1203. Die obige Aussage gilt für $V_{bias} > V_t$, d.h. für einen Arbeitspunkt, in dem einer der Transistoren 1201 bis 1203 (bzw. genauer gesagt ein Teil des Kanals des jeweiligen Transistors 1201 bis 1203) in Inversion betrieben wird.

Ferner ergibt sich auch ein Stromquellen-Charakter für bestimmte Bedingungen im Unterschwellbereich unter der Bedingung $V_{bias} < V_t$, bei welcher im gesamten Transistor an keinem Ort Inversion herrscht. Dieser Arbeits-Bereich ist

dadurch gekennzeichnet, dass die betrachteten Ströme bei
gegebener Geometrie des Transistors wesentlich (bis zu
mehreren Dekaden) geringer sind als im Inversions-Betrieb,
und dass dieser Arbeitsbereich in nur in sehr wenigen
5 speziellen Analog-Schaltungen von Interesse ist.

Üblicherweise werden in einem Stromquellen-Schaltkreis 1200,
wie in Fig.12A gezeigt, Transistoren 1201 bis 1203 mit
gleicher Länge des Kanal-Bereichs verwendet. Mittels
10 Einstellens der Weite der Transistoren 1201 bis 1203 kann
dann das Verhältnis der Ausgangsströme festgelegt werden.

In Fig.12B bis Fig.12E sind Vorspannungs-Generier-
Schaltkreise 1210, 1220, 1230 und 1240 gezeigt, mit denen die
15 Vorspannung V_{bias} 1207 generiert werden kann, falls sie nicht
direkt angelegt wird. Bei jeder der in Fig.12B bis Fig.12E
gezeigten Vorspannungs-Generier-Schaltkreisen ist ein
Wandler-Transistor 1211 bereitgestellt, der als Strom-
Spannungs-Wandler wirkt, da einer von seinen Source-/Drain-
20 Knoten mit seinem Gate-Knoten gekoppelt ist. Insbesondere
bildet der Wandler-Transistor 1211 mit dem jeweiligen
Stromquellen-Transistor 1201 bis 1203 einen Stromspiegel.

Bei dem Vorspannungs-Generier-Schaltkreis 1210 aus Fig.12B
wird der Strom durch den Wandler-Transistor 1211 mittels
einer Stromquelle 1212 I_{bias} geliefert.

Bei den in Fig.12C bis Fig.12E gezeigten Vorspannungs-
Generier-Schaltkreisen 1220, 1230, 1240 ist zwischen dem
30 Gate- bzw. einem der Source-/Drain-Knoten des Wandler-
Transistors 1211 und der Versorgungs-Spannung 201 (positive
Versorgungs-Spannung) ein Lastelement angeordnet, welches in
Fig.12C als ohmscher Widerstand 1221, in Fig.12D als n-MOS-
Last-Transistor 1231 und in Fig.12E als p-MOS-Last-Transistor
35 1241 ausgestaltet ist.

In Fig.13 ist ein Stromquellen-Schaltkreis 1300 gemäß dem Stand der Technik (auch als Stromspiegel-Schaltkreis verwendbar) gezeigt, bei dem das gemeinsame Source-/Drain-Potential aller Stromquellen-Transistoren 1201 bis 1203 auf einen von dem elektrischen Masse-Potential 111 unterschiedlichen Wert gebracht wird. Dieses Potential wird mittels einer Spannungsquelle 1301 V_0 bereitgestellt, die zwischen das elektrische Masse-Potential 111 und den gemeinsamen Source-/Drain-Anschluss aller Transistoren 1201 bis 1203 geschaltet ist. Bezüglich der Versorgung aller Stromquellen-Transistoren 1201 bis 1203 mit einem gemeinsamen Gate-Potential gilt das zu Fig.12A bis Fig.12E Gesagte. Insbesondere ist das Generieren der Vorspannung 1207 V_{bias} in Fig.13 ähnlich wie in Fig.12B realisierbar.

Im Weiteren wird der in Fig.14A gezeigte kaskadierte Stromquellen-Schaltkreis 1400 gemäß dem Stand der Technik beschrieben.

Zusätzlich zu den Komponenten des Stromquellen-Schaltkreises 1200 aus Fig.12A sind bei dem kaskadierten Stromquellen-Schaltkreis 1400 weitere n Transistoren (Kaskode-Transistoren) vorgesehen, von denen in Fig.14A der $(n+1)$ -te Kaskode-Transistor 1401, der $(n+2)$ -te Kaskode-Transistor 1402 und der $2n$ -te Kaskode-Transistor 1403 gezeigt sind. Ferner ist zusätzlich zu der Vorspannung 1207 V_{bias} (in Fig.14A als V_{bias1} bezeichnet) eine andere Vorspannung 1404 V_{bias2} bereitgestellt, wobei die andere Vorspannung 1404 an alle Gate-Anschlüsse der Kaskode-Transistoren 1401 bis 1403 angelegt ist. Die Source-/Drain-Anschlüsse der Kaskode-Transistoren 1401 bis 1403 sind zwischen jeweils einen Source-/Drain-Anschluss von jeweils einem der Stromquellen-Transistoren 1201 bis 1203 und jeweils einen der Ausgänge 1204 bis 1206 geschaltet.

Die Kaskadierung aus Fig.14A hat gegenüber der Schaltung aus Fig.12A den Vorteil, dass der differentielle

Ausgangswiderstand, der ein wichtiger Parameter für die Bewertung der Qualität einer Stromquelle ist, bei dem kaskadierten Stromquellen-Schaltkreis 1400 größer ist, das heißt, dass die Stromquellen-Eigenschaften besser ausgeprägt sind. Details zur Wirkungsweise der in Fig.14A gezeigten Schaltung finden sich beispielsweise in [7] bis [10].

Bei dem kaskadierten Vorspannungs-Generier-Schaltkreis 1410 aus Fig.14B zum Generieren von Vbias1 und Vbias2 ist zusätzlich zu den Komponenten des Vorspannungs-Generier-Schaltkreises 1210 aus Fig.12B ein anderer Wandler-Transistor 1411 (verschaltet ähnlich wie der Wandler-Transistor 1211) bereitgestellt, um die andere Vorspannung 1404 Vbias2 zu generieren.

Der kaskadierte Vorspannungs-Generier-Schaltkreis 1420 aus Fig.14C enthält zusätzlich zu den Komponenten des kaskadierten Vorspannungs-Generier-Schaltkreises 1410 erste und zweite Hilfs-Transistoren 1412 und 1413.

Der in Fig.15A gezeigte Stromquellen-Schaltkreis 1500 stellt eine Kombination der Schaltungen aus Fig.14A und Fig.14B dar. Die Kombination der Schaltungen aus Fig.14A und Fig.14B ergibt bei adäquater Dimensionierung der Transistoren die Funktionalität eines Stromspiegel-Schaltkreises.

Der in Fig.15B gezeigte Stromquellen-Schaltkreis 1510 stellt eine Kombination der Schaltung aus Fig.14A mit jener aus Fig.14C dar.

Sowohl bei dem Stromquellen-Schaltkreis 1500 aus Fig.15A als auch bei dem Stromquellen-Schaltkreis 1510 aus Fig.15B ist aufgrund der Verwendung der Spannungsquelle 1301 V0 das gemeinsame Source-/Drain-Potential des Wandler-Transistors 1211, des ersten Hilfs-Transistors 1412, sowie der ersten bis n-ten Stromquellen-Transistoren 1201 bis 1203 auf einen von dem Masse-Potential 111 unterschiedlichen Wert gebracht.

Im Weiteren wird bezugnehmend auf Fig.16A ein Stromquellen-Schaltkreis 1600 als integrierter Schaltkreis gemäß einem sechsten Ausführungsbeispiel der Erfindung beschrieben.

Bei dem Stromquellen-Schaltkreis 1600 sind die Stromquellen-Transistoren 1201 und 1202 erfindungsgemäß durch erste bis vierte Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b ersetzt. Mit anderen Worten wird das Prinzip von Fig.1B auf den Stromquellen-Schaltkreis 1200 angewendet, um den Stromquellen-Schaltkreis 1600 zu erhalten.

Die Dimensionen der Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b sind identisch mit denen der ersten und zweiten Stromquellen-Transistoren 1201, 1202. Die Gate-Anschlüsse der ersten und zweiten Ersatz-Stromquellen-Transistoren 1201a, 1201b bzw. der dritten und vierten Ersatz-Stromquellen-Transistoren 1202a, 1202b werden jeweils abwechselnd zwischen der Vorspannung 1207 Vbias einerseits und dem Masse-Potential 111 andererseits hin- und hergeschaltet, was mittels der ersten bis achten Schalt-Transistoren 1601 bis 1608 realisiert wird. Die ersten bis achten Schalt-Transistoren 1601 bis 1608 werden mittels der Taktsignale ϕ_1 , ϕ_2 angesteuert, die zueinander komplementär sind und ein Duty-Cycle-Verhältnis von ungefähr 50% aufweisen.

Wenn beispielsweise ϕ_2 auf einem VDD-Potential liegt und ϕ_1 auf einem Massepotential liegt, sind die ersten, vierten, fünften und achten Schalt-Transistoren 1601, 1604, 1605, 1608 elektrisch leitfähig, wohingegen die anderen Schalt-Transistoren 1602, 1603, 1606, 1607 sperren, so dass an die Gate-Anschlüsse der ersten und dritten n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1202a die Vorspannung 1207 Vbias angelegt ist. Somit führen diese Transistoren Strom und sind daher in Inversion betrieben. Die Gate-Anschlüsse der zweiten und vierten n-MOS-Ersatz-Stromquellen-Transistoren

1201b, 1202b liegen hingegen auf Masse-Potential 111, sind stromfrei und werden daher in Verarmung oder Akkumulation betrieben.

- 5 Ein Wechsel des Taktsignals ϕ_2 auf Massepotential und des Taktsignals ϕ_1 auf VDD-Potential bewirkt, dass die zweiten und vierten Ersatz-Stromquellen-Transistoren 1201b, 1202b mit der Vorspannung 1207 Vbias gekoppelt sind und daher in Inversion betrieben werden, wohingegen in diesem Szenario die
10 ersten und dritten Ersatz-Stromquellen-Transistoren 1201a, 1202a in Verarmung oder Akkumulation betrieben werden. Ein ausreichend schneller Wechsel der Taktsignale ϕ_1 und ϕ_2 zwischen dem VDD-Potential und dem Massepotential, das heißt eine ausreichend hohe Taktfrequenz, bewirkt, dass die
15 Rauschbeiträge erfindungsgemäß gemindert werden.

Im Weiteren wird beziehend auf Fig.16B ein Stromquellen-Schaltkreis 1610 als integrierter Schaltkreis gemäß einem
20 siebten Ausführungsbeispiel der Erfindung beschrieben.

Der Stromquellen-Schaltkreis 1610 unterscheidet sich von dem Stromquellen-Schaltkreis 1600 im Wesentlichen dadurch, dass die gemäß Fig.16B unteren Source-/Drain-Anschlüsse der als Stromquellen genutzten ersten bis vierten n-MOS-Ersatz-
5 Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b nicht auf das elektrische Masse-Potential 111 gebracht sind, sondern mittels der Spannungsquelle 1301 V0 auf ein von dem Masse-Potential 111 unterschiedliches, hier positives, Potential gebracht sind.

30 Der Mechanismus der Rauschunterdrückung funktioniert bei dem Stromquellen-Schaltkreis 1610 ebenso wie bei dem Stromquellen-Schaltkreis 1600. Allerdings ist der Spannungshub am Gate-Anschluss der ersten bis vierten Ersatz-
35 Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b gemäß Fig.16B größer. Der erhöhte Spannungshub bewirkt, dass die beiden jeweiligen mit den beiden Betriebszuständen dieser

Transistoren assoziierten Quasi-Fermi-Niveaus energetisch noch weiter auseinander liegen, wodurch das Rauschen noch effektiver unterdrückt ist.

- 5 Im Weiteren wird beziehend auf Fig.17 ein Stromquellen-Schaltkreis 1700 als integrierter Schaltkreis gemäß einem achten Ausführungsbeispiel der Erfindung beschrieben.

10 Anschaulich ist der Stromquellen-Schaltkreis 1700 ähnlich dem Stromquellen-Schaltkreis 1400 aus Fig.14A, wobei bei dem Stromquellen-Schaltkreis 1700 das erfindungsgemäße Prinzip des Ersetzens eines Transistors durch zwei Transistoren und des komplementären Taktens der Gate-Anschlüsse dieser Transistoren zum Vermindern der Rauschspannung realisiert ist. Es ist anzumerken, dass in Fig.17 lediglich die beiden ersten Spalten-Ausgänge 1204, 1205 mit zugehörigen Transistoren dargestellt sind.

20 Gegenüber dem Stromquellen-Schaltkreis 1400 sind bei dem Stromquellen-Schaltkreis 1700 die Stromquellen-Transistoren 1201, 1202, und Kaskode-Transistoren 1401, 1402 durch erste bis achte n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b, 1401a, 1401b, 1402a, 1402b ersetzt und verschaltet, entsprechend der in Fig.1B gezeigten Weise. Die gemäß Fig.17 unteren Source-/ Drain-Anschlüsse der ersten bis vierten Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b sind nicht direkt auf elektrisches Masse-Potential 111 gelegt, sondern sind auf ein von einer Spannungsquelle 1301 generiertes elektrisches Potential gebracht. Allerdings ist anzumerken, dass in dem Stromquellen-Schaltkreis 1700 die Spannungsquelle 1301 auch weggelassen werden kann.

35 Ferner sind abgesehen von den ersten bis achten n-MOS-Schalt-Transistoren 1601 bis 1608 zusätzlich neunte bis sechzehnte n-MOS-Schalt-Transistoren 1701 bis 1708 vorgesehen, an deren Gate-Anschlüsse die Taktsignale ϕ_1 und ϕ_2 derart angelegt

sind, dass dadurch die fünften bis achten Stromquellen-Transistoren 1401a, 1401b, 1402a, 1402b erfindungsgemäß steuerbar sind.

- 5 Im Weiteren wird beziehend auf Fig.18 ein Stromquellen-Schaltkreis 1800 als integrierter Schaltkreis gemäß einem neunten Ausführungsbeispiel der Erfindung beschrieben.

Der Stromquellen-Schaltkreis 1800 unterscheidet sich von dem
10 Stromquellen-Schaltkreis 1700 im Wesentlichen dadurch, dass zwar die Transistoren 1201, 1202 durch die in Fig.1B gezeigte erfindungsgemäße Konfiguration ersetzt sind, die Kaskode-Transistoren 1401, 1402 dagegen in der in Fig.14A gezeigten Konfiguration belassen werden. Dadurch sind die Vorzüge einer
15 kaskadierten Stromquellen-Schaltung gegenüber einer nicht-kaskadierten Stromquellen-Schaltung und die erfindungsgemäße Rauschminderung mit einem geringeren Aufwand und geringerer Fläche kombiniert.

- 20 Dieser Sachverhalt wird im Weiteren anhand eines in Fig.19 gezeigten Hilfs-Schaltsbilds 1900 erläutert.

Das Hilfs-Schaltsbild 1900 ähnelt dem Stromquellen-Schaltkreis 1400 aus Fig.14A, wobei jeder in Fig.14A gezeigte reale
5 Transistor 1201 bis 1203, 1401 bis 1403 in Fig.19 durch einen als rauschfrei angenommenen Transistor mit gleichen Bezugszeichen modelliert wird. Um das Rauschen der Transistoren 1201 bis 1203, 1401 bis 1403 zu modellieren, ist die Gate-Spannung von jedem der Transistoren 1201 bis 1203,
30 1401 bis 1403 mit einer das Rauschen symbolisierenden Störgröße beaufschlagt, die mittels einer ersten bis 2n-ten Rauschspannungsquelle 1901 bis 1906 modelliert ist (anschaulich Rauschspannungen ΔV_{1k} für die ersten bis n-ten Stromquellen-Transistoren 1201 bis 1203, ΔV_{2k} für die (n+1)-
35 ten bis 2n-ten Kaskode-Transistoren 1401 bis 1403, mit $k=1, 2, \dots, n$).

Mittels einer Kleinsignalanalyse können die Beiträge bzw. Abweichungen ΔI_{out1} , ΔI_{out2} , ..., ΔI_{outn} zu den Sollwerten I_{out1} , I_{out2} , ..., I_{outn} bestimmt werden. Man erhält für $k=1, 2, \dots, n$:

$$\Delta I_{outk} = g_{m1k} \times \Delta V_{1k} + g_{DS1k} \times \Delta V_{2k} \quad (3)$$

Die den einzelnen Transistoren 1201 bis 1203, 1401 bis 1403 zugeordneten Rauschspannungen ΔV_{1k} bzw. ΔV_{2k} sind Fig.19 zu entnehmen. Die Indizes der Rauschspannungen ΔV_{1k} entsprechen den Indizes von g_{m1k} bzw. g_{DS1k} in Gleichung (3). In Gleichung (3) steht g_{m1k} für die Steilheit (d.h. die Ableitung des Drain-Stroms nach der Gate-Spannung) und g_{DS1k} steht für den differentiellen Ausgangsleitwert (d.h. die Ableitung des Drain-Stroms nach der Drain-Spannung) des k -ten Transistors.

Da in guter Näherung gilt:

$$g_{m1k} \gg g_{DS1k} \quad (4)$$

folgt, dass das Rauschen der Kaskode-Transistoren 1401 bis 1403 erheblich weniger zum Gesamtrauschen des Ausgangsstroms beiträgt als das Rauschen der Transistoren 1201 bis 1203.

Somit ist insbesondere das Rauschen in dem Stromquellen-Schaltkreis 1800 gering, obwohl nur die Stromquellen-Transistoren 1201 bis 1203, nicht dagegen die Kaskode-Transistoren 1401 bis 1403 in erfindungsgemäßer Weise ersetzt sind.

Im Weiteren wird bezugnehmend auf Fig.20 ein Stromquellen-Schaltkreis 2000 als integrierter Schaltkreis gemäß einem zehnten Ausführungsbeispiel der Erfindung beschrieben.

Der Stromquellen-Schaltkreis 2000 aus Fig.20 ist eine nicht-kaskadierte Stromquellen-Schaltung, die mit p-MOS-

Transistoren realisiert ist. Somit entspricht der Stromquellen-Schaltkreis 2000 in etwa dem Stromquellen-Schaltkreis 1610 aus Fig.16B mit dem Unterschied, dass anstelle von n-MOS-Transistoren p-MOS-Transistoren verwendet
5 sind, und dass die Transistor-Arbeitspunkte mittels Einstellens der Wannen-Potentiale anstelle der Gate-Potentiale erfolgt. Die Gate-Bereiche von ersten und zweiten p-MOS-Ersatz-Stromquellen-Transistoren 2001a, 2001b sind gekoppelt, so dass die Einstellung des Arbeitspunkts dieser
10 Transistoren mittels Einstellens von deren Wannen-Potentialen erfolgt. Dritte und vierte p-MOS-Ersatz-Stromquellen-Transistoren 2002a, 2002b werden analog verschaltet und angesteuert wie die Transistoren 2001a, 2001b. Ferner sind erste bis achte p-MOS-Schalt-Transistoren 2003 bis 2010
15 vorgesehen. Die Arbeitspunkte der Transistoren 2001a, 2001b, 2002a, 2002b werden mittels der unter Verwendung der zueinander komplementären Taktsignale ϕ_1 , ϕ_2 gesteuerten p-MOS-Schalt-Transistoren 2003 bis 2010 eingestellt. Mit anderen Worten erfolgt das Umschalten der ersten bis vierten
20 p-MOS-Ersatz-Stromquellen-Transistoren 2001a, 2001b, 2002a, 2002b zwischen Inversionsbetrieb und Verarmungs- bzw. Akkumulationsbetrieb mittels periodischen Veränderns der Potentiale der Wannen-Anschlüsse der genannten Transistoren. Die beiden hierfür erforderlichen Potentiale werden von der
5 Spannungsquelle 1301 V0 und einer weiteren Spannungsquelle 2011 Vwon bereitgestellt.

Selbstverständlich können gemäß diesem Prinzip auch kaskadierte Stromquellen aufgebaut werden, wobei die Kaskode-
30 Transistoren entweder rauschkompensiert (wie im Falle von Fig.17) oder nicht-rauschkompensiert (wie im Falle von Fig.18) betrieben werden können.

In den in Fig.16A, Fig.16B, Fig.17, Fig.18 und Fig.20
35 gezeigten Schaltkreisen ist für jeden erfindungsgemäß gepulst zu betreibenden Transistor ein separates Schalt-Transistor-

Paar eingeführt, mittels dessen das Gate- bzw. Wannen-Potential umgeschaltet wird.

Bezugnehmend auf Fig.21 bis Fig.24 werden im Weiteren Stromquellen-Schaltkreise 2100, 2200, 2300, 2400 beschrieben, bei denen die jeweiligen Schalt-Transistoren für jeweils eine Mehrzahl von erfindungsgemäß zu pulsenden Transistoren gemeinsam ausgeführt sind.

Im Weiteren wird bezugnehmend auf Fig.21 ein Stromquellen-Schaltkreis 2100 als integrierter Schaltkreis gemäß einem elften Ausführungsbeispiel der Erfindung beschrieben.

Der Stromquellen-Schaltkreis 2100 unterscheidet sich von dem in Fig.16B gezeigten Stromquellen-Schaltkreis 1610 im Wesentlichen dadurch, dass bei dem Stromquellen-Schaltkreis 1610 für jeden der ersten bis vierten n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b jeweils zwei separate Schalt-Transistoren 1601, 1603 bzw. 1602, 1604 bzw. 1605, 1607 bzw. 1606, 1608 vorgesehen sind. Dagegen sind bei dem Stromquellen-Schaltkreis 2100 für die ersten bis vierten n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b insgesamt nur vier gemeinsame erste bis vierte n-MOS-Schalt-Transistoren 2101 bis 2104 zum abwechselnden Anlegen des Masse-Potentials 111 oder der Vorspannung Vbias 1207 an die Gate-Bereiche der n-MOS-Ersatz-Stromquellen-Transistoren bereitgestellt, wofür die Taktsignale ϕ_1 , ϕ_2 verwendet werden.

Im Weiteren wird bezugnehmend auf Fig.22 ein Stromquellen-Schaltkreis 2200 als integrierter Schaltkreis gemäß einem zwölften Ausführungsbeispiel der Erfindung beschrieben.

Der Stromquellen-Schaltkreis 2200 aus Fig.22 entspricht im Wesentlichen dem Stromquellen-Schaltkreis 1700 aus Fig.17, wobei anstelle der ersten bis achten n-MOS-Schalt-Transistoren 1601 bis 1608 und der neunten bis sechzehnten n-

MOS-Schalt-Transistoren 1701 bis 1708 bei der Konfiguration gemäß Fig.22 lediglich acht Schalt-Transistoren 2201 bis 2208 zum gemeinsamen Ansteuern der n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b, 1401a, 1401b, 1402a, 1402b verwendet werden.

Im Weiteren wird bezugnehmend auf Fig.23 ein Stromquellen-Schaltkreis 2300 als integrierter Schaltkreis gemäß einem dreizehnten Ausführungsbeispiel der Erfindung beschrieben.

10

Der Stromquellen-Schaltkreis 2300 unterscheidet sich von dem in Fig.18 gezeigten Stromquellen-Schaltkreis 1800 im Wesentlichen dadurch, dass anstelle der ersten bis achten n-MOS-Schalt-Transistoren 1601 bis 1608 zum Ansteuern der ersten bis vierten n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b gemäß Fig.23 nur erste bis vierte n-MOS-Schalt-Transistoren 2301 bis 2304 bereitgestellt sind, mittels derer die Potentiale der Gate-Anschlüsse der ersten bis vierten n-MOS-Ersatz-Stromquellen-Transistoren 1201a, 1201b, 1202a, 1202b erfindungsgemäß steuerbar sind.

Im Weiteren wird bezugnehmend auf Fig.24 der Stromquellen-Schaltkreis 2400 als integrierter Schaltkreis gemäß einem vierzehnten Ausführungsbeispiel der Erfindung beschrieben.

5

Der in Fig.24 gezeigte Stromquellen-Schaltkreis 2400 unterscheidet sich von dem in Fig.20 gezeigten Stromquellen-Schaltkreis 2000 im Wesentlichen dadurch, dass anstelle der ersten bis achten p-MOS-Schalt-Transistoren 2003 bis 2010 bei dem Stromquellen-Schaltkreis 2400 lediglich erste bis vierte p-MOS-Schalt-Transistoren 2401 bis 2404 vorgesehen sind, und zwar gemeinsam für die Ersatz-Stromquellen-Transistoren 2001a, 2001b, 2002a, 2002b.

30

Im Weiteren werden Stromspiegel gemäß dem Stand der Technik (Fig.25A) und gemäß der Erfindung (Fig.25B, Fig.26) beschrieben.

35

Die Aufgabe eines idealen Stromspiegels besteht darin, einen eingangsseitig in den Stromspiegel eingeprägten Strom (gegebenenfalls gewichtet mit einem vorgegebenen Faktor) an seinem Ausgang oder seinen Ausgängen zur Verfügung zu stellen. Je nach Anwendung sind bezüglich der exakten Einhaltung des Spiegel-Verhältnisses Toleranzen erlaubt. Es gibt ferner Anwendungen, bei denen die Anforderungen bezüglich der Einhaltung eines Spiegel-Verhältnisses nicht auf dem gesamten Ein- oder Ausgangsstrom angewendet werden müssen, diese Anforderungen jedoch für dem Eingangsstrom aufgeprägte Wechsel- oder Differenzsignale eingehalten werden müssen.

Ist beispielsweise I_{in} der Mittelwert des Eingangsstroms, ΔI_{in} das aufgeprägte Differenz- oder Wechselsignal des Eingangsstroms, I_{out} der Mittelwert des Ausgangsstroms, ΔI_{out} das resultierende Differenz- oder Wechselsignal des Ausgangsstroms, und n der vorgegebene Spiegelfaktor, so wird die Einhaltung der Beziehung

$$\Delta I_{out} = n \times \Delta I_{in} \text{ bzw. } \Delta I_{out} / \Delta I_{in} = n \quad (5)$$

möglichst exakt gefordert, wohingegen für das Verhältnis I_{out} / I_{in} größere Abweichungen vom Faktor n erlaubt sind.

Im Weiteren wird beziehend auf Fig.25A ein Stromspiegel 2500 gemäß dem Stand der Technik beschrieben.

Der Stromspiegel-Schaltkreis 2500 weist einen ersten und einen zweiten Stromspiegel-Transistor 2501 und 2502 auf, deren Gate-Anschlüsse miteinander gekoppelt sind. Jeweils ein Source-/Drain-Anschluss der ersten Stromspiegel-Transistoren 2501 und 2502 ist auf elektrischem Masse-Potential 111. Der andere Source-/Drain-Anschluss des zweiten Stromspiegel-Transistors 2502 ist mit einem Ausgang 2503 des Stromspiegels 2500 gekoppelt. Der andere Source-/Drain-Anschluss des ersten

Stromspiegel-Transistors 2501 ist sowohl mit dessen Gate-Anschluss als auch mit einem Anschluss einer Stromquelle 2504 Ibias gekoppelt, deren anderer Anschluss auf dem Versorgungspotential 201 befindlich ist.

5

Das Stromverhältnis (Ausgangsstrom zu Eingangsstrom) des Stromspiegels 2500 ist gegeben als der Quotient aus den Verhältnissen der Transistorweite zu der Transistorlänge (W/L-Verhältnis) von Transistor 2502 zu Transistor 2501. Ein idealer Stromspiegel erfordert eine hohe und lineare Ausgangsimpedanz (d.h. hoher Ausgangswiderstand und geringe Ausgangskapazität). Folglich ist der Ausgangsstrom im Wesentlichen unabhängig von der Ausgangswechselspannung bzw. der Ausgangsgleichspannung.

15

Im Weiteren wird beziehend auf Fig.25B ein Stromspiegel-Schaltkreis 2510 als integrierter Schaltkreis gemäß einem fünfzehnten Ausführungsbeispiel der Erfindung beschrieben.

20

Bei dem Stromspiegel-Schaltkreis 2510 sind die ersten und zweiten Stromspiegel-Transistoren 2501 und 2502 durch eine erfindungsgemäße Konfiguration ersetzt, wie sie in Fig.1B gezeigt ist. Insbesondere ist der erste Stromspiegel-Transistor 2501 durch einen ersten Ersatz-Stromspiegel-Transistor 2501a und durch einen zweiten Ersatz-Stromspiegel-Transistor 2501b ersetzt. Der zweite Stromspiegel-Transistor 2502 ist durch einen dritten Ersatz-Stromspiegel-Transistor 2502a und durch einen vierten Ersatz-Stromspiegel-Transistor 2502b ersetzt.

30

Bei dem Stromspiegel-Schaltkreis 2500 fließt der gesamte Eingangsstrom I_{in} durch den ersten Stromspiegel-Transistor 2501, wohingegen ein Teil dieses Stroms bei dem Stromspiegel-Schaltkreis 2510 nicht durch die den ersten Stromspiegel-Transistor 2501 ersetzenden ersten und zweiten Ersatz-Stromspiegel-Transistoren 2501a und 2501b fließt. Stattdessen wird ein Teil des Stroms für eine periodisch durchgeführte

35

Um- bzw. Aufladung der Gate-Kapazitäten der Transistoren 2501a, 2501b, 2502a, 2502b verbraucht. Dieser Stromanteil I_{cg} lässt sich mit

5
$$I_{cg} = V_{g,on} \times f \times \Sigma C_g \quad (6)$$

angeben, wobei f die Frequenz der Taktsignale ϕ_1 und ϕ_2 ist, $V_{g,on}$ die Spannung ist, die sich am Gate-Anschluss der Transistoren 2501a, 2501b, 2502a, 2502b einstellt, und ΣC_g
10 die Summe der Gate-Kapazitäten aller Transistoren 2501a, 2501b, 2502a, 2502b ist (bzw. genauer die Summe der Integrale der Gate-Kapazitäten über den Spannungsbereich, der bei erfindungsgemäß getaktetem Betrieb der Transistoren überstrichen wird).

15

Es ist anzumerken, dass die Gate-Kapazität in sehr starker Inversion und in sehr starker Akkumulation näherungsweise konstant ist, im Verarmungsbereich zeigt sie jedoch eine relativ starke Spannungsabhängigkeit und eine Verminderung
20 gegenüber den Werten in Inversion und Akkumulation.

Ferner sind in Fig.25B erste bis achte n-MOS-Schalt-Transistoren 2511 bis 2518 zum erfindungsgemäßen Ansteuern der ersten bis vierten Ersatz-Stromspiegel-Transistoren
5 2501a, 2501b, 2502a, 2502b gezeigt, die ähnlich verschaltet sind wie die in Fig.16A, Fig.16B gezeigten ersten bis achten n-MOS-Schalt-Transistoren 1601 bis 1608.

Es ist anzumerken, dass der in Fig.25B gezeigte Stromspiegel-Schaltkreis 2510 dahingehend modifiziert oder erweitert
30 werden kann, dass eine kaskadierte Struktur (ähnlich wie in Fig.14A) eingesetzt werden kann oder dass die gemeinsamen Source-/Drain-Potentiale aller Transistoren auf einen von dem Masse-Potential unterschiedlichen Wert gesetzt werden können
35 (ähnlich wie beispielsweise gemäß Fig.15A).

Ferner kann der in Fig.25B gezeigte Stromspiegel-Schaltkreis 2510 besonders vorteilhaft in SOI-Technologie realisiert werden. In diesem Fall sind die Transistoren aus Fig.25B auf und/oder in einem SOI-Substrat gebildet. Bei einem

5 Stromspiegel-Schaltkreis 2510 mit SOI-Transistoren sind störende Selbstheiz-Effekte und Floating-Body-Effekte aufgrund der erfindungsgemäßen getakteten Ansteuerung wirksam unterdrückt.

10 Im Weiteren wird bezugnehmend auf Fig.26 ein Stromspiegel-Schaltkreis 2600 als integrierter Schaltkreis gemäß einem sechzehnten Ausführungsbeispiel der Erfindung beschrieben.

Der Stromspiegel-Schaltkreis 2600 unterscheidet sich von dem
15 in Fig.25B gezeigten Stromspiegel-Schaltkreis 2510 im Wesentlichen dadurch, dass für die Ersatz-Stromspiegel-Transistoren sowie für die Schalt-Transistoren gemäß Fig.26 p-MOS-Transistoren verwendet sind, wohingegen gemäß Fig.25B n-MOS-Transistoren verwendet sind. Anstelle der ersten und
20 zweiten n-MOS-Ersatz-Stromspiegel-Transistoren 2501a und 2501b sind bei dem Stromspiegel-Schaltkreis 2600 erste und zweite p-MOS-Ersatz-Stromspiegel-Transistoren 2601a und 2601b vorgesehen, anstelle der dritten und vierten n-MOS-Ersatz-Stromspiegel-Transistoren 2502a, 2502b sind gemäß Fig.26
5 dritte und vierte p-MOS-Ersatz-Stromspiegel-Transistoren 2602a, 2602b vorgesehen und anstelle der ersten bis achten n-MOS-Schalt-Transistoren 2511 bis 2518 sind erste bis achte p-MOS-Schalt-Transistoren 2603 bis 2610 vorgesehen.

30 Bei dem Stromspiegel-Schaltkreis 2600 ist die erfindungsgemäße Rauschunterdrückung gemäß dem in Fig.4B beschriebenen Prinzip realisiert. Gegenüber der in Fig.25B gezeigten Realisierung liegt ein Vorteil des Stromspiegel-Schaltkreises 2600 darin, dass der Eingangsstrom
35 ausschließlich durch die Eingangs-Transistoren fließt, ihm also kein weiterer Beitrag (z.B. gemäß der oben diskutierten Beziehung für I_{cg} , vgl. Gleichung (6)) entnommen wird.

Auch der Stromspiegel-Schaltkreis 2600 kann selbstverständlich dahingehend modifiziert oder erweitert werden, dass eine kaskadierte Struktur eingesetzt wird, oder
5 dass die in Fig.26 auf VDD-Potential 201 gebrachten Source-/ Drain-Potentiale der Transistoren auf ein vom VDD-Potential 201 unterschiedlichen Wert gebracht werden.

Im Weiteren wird beziehend auf Fig.27 bis Fig.30 anhand
10 zweier unterschiedlicher Operationsverstärker-Schaltungen gezeigt, wie die erfindungsgemäße Grundidee und die diskutierten erfindungsgemäßen Teilschaltungen im Rahmen komplexerer Schaltungen miteinander gekoppelt werden können.

15 In Fig.27 ist ein einfacher, sogenannter zweistufiger (single-ended) Operationsverstärker 2700 gemäß dem Stand der Technik gezeigt, wie er in [7] bis [10] beschrieben ist.

Zunächst werden die einzelnen Schaltungsblöcke des
20 Operationsverstärkers 2700 beschrieben.

Der Operationsverstärker 2700 ist gebildet aus einer ersten Stromquelle 2710, einem Differenz-Eingangs-Transistorpaar 2720, einem Stromspiegel 2730, einer zweiten Stromquelle 2740 und einer dritten Stromquelle 2750:

Der Operationsverstärker 2700 enthält einen ersten Eingang 2701 IN+ und einen zweiten Eingang 2702 IN-, wobei der erste Eingang 2701 mit dem Gate-Bereich eines ersten n-MOS-Differenzstufen-Transistors 2721 gekoppelt ist. Der zweite
30 Eingang 2702 ist mit dem Gate-Bereich eines zweiten n-MOS-Differenzstufen-Transistors 2722 des Differenz-Eingangs-Transistorpaars 2720 gekoppelt. Jeweils ein Source-/Drain-Anschluss der n-MOS-Differenzstufen-Transistoren 2721, 2722
35 ist mit einem Source-/Drain-Anschluss eines ersten n-MOS-Stromquellen-Transistors 2711 der ersten Stromquelle 2710 gekoppelt. Der andere Source-/Drain-Anschluss des ersten n-

MOS-Stromquellen-Transistors 2711 ist mit dem Masse-Potential 111 gekoppelt. Ferner ist an den Gate-Anschluss des ersten n-MOS-Stromquellen-Transistors 2711 eine Vorspannung 2703 Vbias angelegt. Die Vorspannung 2703 ist darüber hinaus an den

5 Gate-Anschluss eines zweiten n-MOS-Stromquellen-Transistors 2751 angelegt. Ein Source-/Drain-Anschluss des zweiten n-MOS-Stromquellen-Transistors 2751 ist auf elektrischem Masse-Potential 111, und der andere Source-/Drain-Anschluss des zweiten n-MOS-Stromquellen-Transistors 2751 ist mit einem

10 Ausgang 2704 sowie mit einem Source-/Drain-Anschluss eines ersten p-MOS-Stromquellen-Transistors der zweiten Stromquelle 2740 gekoppelt. Der zweite Source-/Drain-Anschluss des ersten p-MOS-Stromquellen-Transistors 2741 ist auf Versorgungspotential 201, wohingegen der Gate-Anschluss des ersten p-

15 MOS-Stromquellen-Transistors 2741 mit dem anderen Source-/Drain-Anschluss des ersten n-MOS-Differenzstufen-Transistors 2721 des Differenz-Eingangs-Transistorpaars 2720 gekoppelt ist. Ferner ist der Gate-Anschluss des ersten p-MOS-

20 Stromquellen-Transistors 2741 mit einem Source-/Drain-Anschluss eines ersten p-MOS-Stromspiegel-Transistors 2731 des Stromspiegels 2730 gekoppelt. Dessen anderer Source-/Drain-Anschluss ist auf dem Versorgungspotential 201. Der Gate-Anschluss des ersten p-MOS-Stromspiegel-Transistors 2731 ist mit dem Gate-Anschluss eines zweiten p-MOS-Stromspiegel-

5 Transistors 2732 des Stromspiegels 2730 gekoppelt und ist ferner mit dem einen Source-/Drain-Anschluss des zweiten p-MOS-Stromspiegel-Transistors 2732 gekoppelt. Der andere Source-/Drain-Anschluss des zweiten p-MOS-Stromspiegel-

30 Transistors 2732 liegt auf Versorgungspotential 201. Der erste Source-/Drain-Anschluss des zweiten p-MOS-Stromspiegel-Transistors 2732 ist mit dem anderen Source-/Drain-Anschluss des zweiten n-MOS-Differenzstufen-Transistors 2722 des Differenz-Eingangs-Transistorpaars 2720 gekoppelt.

35 Die erste Stromquelle 2710 ist eine n-MOS-Stromquelle für den Betrieb der single-ended Differenzstufe, gebildet aus dem Differenz-Eingangs-Transistorpaar 2720 und dem Stromspiegel

2730. Die Arbeitspunkt-Einstellung des ersten Stromquellen-Transistors 2711 erfolgt unter Verwendung der konstanten Vorspannung 2703. Die zweite Stromquelle 2740 ist eine p-MOS-Stromquelle und Teil der Ausgangs-Stufe, wobei die zweite Stromquelle 2740 mit dem Ausgangssignal der single-ended Differenzstufe angesteuert wird. Die dritte Stromquelle 2750 ist eine n-MOS-Stromquelle und Teil der Ausgangs-Stufe, wobei die Ansteuerung, d.h. Arbeitspunkt-Einstellung, der dritten Stromquelle 2750 mit der Vorspannung 2703 Vbias erfolgt.

Im Weiteren wird beziehend auf Fig.28 ein anderer Operationsverstärker 2800 gemäß dem Stand der Technik beschrieben.

Dieser stellt eine sogenannte voll-differentielle Folded-Cascode-Schaltung dar, die in [7] bis [10] beschrieben ist.

Der Operationsverstärker 2800 ist gebildet aus fünf Schaltungsblöcken, nämlich einer ersten Stromquelle 2810, einem Differenz-Eingangs-Transistorpaar 2820, einer zweiten Stromquelle 2830, einer dritten Stromquelle 2840 und einer Common-Mode-Feedback-Schaltung 2850.

Wiederum sind ein erster Eingang 2701 IN+ und ein zweiter Eingang 2702 IN- vorgesehen. Darüber hinaus sind erste bis fünfte Vorspannungen 2801 bis 2805 vorgesehen, an denen Vorspannungen Vbias1, Vbias2, Vbias3, Vbias4, Vbias5 bereitgestellt sind. Darüber hinaus sind ein erster Ausgang 2806 OUT+ und ein zweiter Ausgang 2807 OUT- bereitgestellt.

Die erste Stromquelle 2810 weist einen ersten n-MOS-Stromquellen-Transistor 2811 auf, an dessen Gate-Bereich die fünfte Vorspannung 2805 Vbias angelegt ist. Der eine Source-/Drain-Bereich des ersten n-MOS-Stromquellen-Transistors 2811 liegt auf Masse-Potential 111, wohingegen der zweite Source-/Drain-Anschluss des ersten n-MOS-Stromquellen-Transistors mit jeweils einem Source-/Drain-Anschluss eines ersten und eines zweiten n-MOS-Differenzstufen-Transistors 2721, 2722 des

Differenz-Eingangs-Transistorpaars 2820 gekoppelt ist. Es ist anzumerken, dass das Differenz-Eingangs-Transistorpaar 2820 ausgestaltet und verschaltet ist wie das Differenz-Eingangs-Transistorpaar 2720 aus Fig.27. Der zweite Source-/Drain-Anschluss des zweiten n-MOS-Differenzstufen-Transistors 2722 ist mit jeweils einem ersten Source-/Drain-Anschluss eines ersten und eines zweiten p-MOS-Stromquellen-Transistors 2831, 2832 der zweiten Stromquelle 2830 gekoppelt. Der andere Source-/Drain-Anschluss des ersten p-MOS-Stromquellen-Transistors 2831 ist auf Versorgung-Potential 201, wohingegen der Gate-Anschluss des ersten p-MOS-Stromquellen-Transistors 2831 auf der ersten Vorspannung 2801 Vbias1 ist. Ferner sind in der zweiten Stromquelle 2830 ein dritter und ein vierter p-MOS-Stromquellen-Transistor 2833, 2834 bereitgestellt. Der erste Source-/Drain-Anschluss des dritten p-MOS-Stromquellen-Transistors 2833 ist auf Versorgung-Potential 201, wohingegen der zweite Source-/Drain-Anschluss des dritten p-MOS-Stromquellen-Transistors 2833 mit dem ersten Source-/Drain-Anschluss des vierten p-MOS-Stromquellen-Transistors 2834 gekoppelt ist. An den Gate-Anschlüssen des ersten und des dritten p-MOS-Stromquellen-Transistors 2831, 2833 ist die erste Vorspannung 2801 Vbias1 angelegt. An den Gate-Anschlüssen des zweiten und des vierten p-MOS-Stromquellen-Transistors 2832 und 2834 ist die zweite Vorspannung 2802 Vbias2 angelegt. Ferner sind der zweite Source-/Drain-Bereich des dritten p-MOS-Stromquellen-Transistors 2833 und der erste Source-/Drain-Bereich des vierten p-MOS-Stromquellen-Transistors 2834 mit dem zweiten Source-/Drain-Bereich des ersten n-MOS-Differenzstufen-Transistors 2721 des Differenz-Eingangs-Transistorpaars 2820 gekoppelt. Der zweite Source-/Drain-Bereich des zweiten p-MOS-Stromquellen-Transistors 2832 ist mit dem zweiten Ausgang 2807 OUT- gekoppelt, wohingegen der zweite Source-/Drain-Anschluss des vierten p-MOS-Stromquellen-Transistors 2834 mit dem ersten Ausgang 2806 OUT+ gekoppelt ist. Die dritte Stromquelle 2840 weist zweite bis fünfte n-MOS-Stromquellen-Transistoren 2841 bis 2844 auf. Der zweite n-MOS-

Stromquellen-Transistor 2841 ist mit einem Source-/Drain-Anschluss mit dem ersten Ausgang 2806 OUT+ gekoppelt, wohingegen der zweite Source-/Drain-Anschluss des zweiten n-MOS-Stromquellen-Transistors 2841 mit einem ersten Source-/

5 Drain-Anschluss des dritten n-MOS-Stromquellen-Transistors 2842 gekoppelt ist. Der zweite Source-/Drain-Anschluss des dritten n-MOS-Stromquellen-Transistors 2842 ist mit einem ersten Source-/Drain-Anschluss des fünften n-MOS-

10 Stromquellen-Transistors 2844 gekoppelt, dessen zweiter Source-/Drain-Anschluss mit einem ersten Source-/Drain-Anschluss des vierten n-MOS-Stromquellen-Transistors 2843 gekoppelt ist. Der zweite Source-/Drain-Anschluss des vierten

15 n-MOS-Stromquellen-Transistors 2843 ist mit dem zweiten Ausgang 2807 OUT- gekoppelt. Ferner ist an die Gate-Anschlüsse des zweiten und des vierten n-MOS-Stromquellen-Transistors 2841, 2843 die dritte Vorspannung 2803 Vbias3 angelegt, wohingegen an die Gate-Anschlüsse des dritten und

20 des fünften n-MOS-Stromquellen-Transistors 2842, 2844 die vierte Vorspannung 2804 Vbias4 angelegt ist. Darüber hinaus sind der zweite Source-/Drain-Anschluss des dritten n-MOS-Stromquellen-Transistors 2842 und der erste Source-/Drain-Anschluss des fünften n-MOS-Stromquellen-Transistors 2844 mit

5 einem jeweils ersten Source-/Drain-Anschluss eines ersten und eines zweiten Common-Mode-Feedback-Transistors 2851, 2852 der Common-Mode-Feedback-Schaltung 2850 gekoppelt. Die jeweils

zweiten Source-/Drain-Anschlüsse der Common-Mode-Feedback-Transistoren 2851, 2852 sind auf Masse-Potential 111. Der Gate-Anschluss des ersten Common-Mode-Feedback-Transistors

2851 ist mit dem ersten Ausgang 2806 OUT+ gekoppelt,

30 wohingegen der Gate-Anschluss des zweiten Common-Mode-Feedback-Transistors 2852 mit dem zweiten Ausgang 2807 OUT- gekoppelt ist.

Die erste Stromquelle 2810 ist für den Betrieb der

35 Differenzstufe 2820 vorgesehen. Die Einstellung des Arbeitspunkts der ersten Stromquelle 2810 erfolgt über die konstante Vorspannung 2805 Vbias5. Die zweite Stromquelle

2830 ist eine kaskadierte Stromquelle mit p-MOS-Transistoren mit Mittelabgriff. Ferner ist die zweite Stromquelle 2830 Bestandteil der Ausgangsstufe. Die dritte Stromquelle 2840 ist eine kaskadierte Stromquelle mit n-MOS-Transistoren und Bestandteil der Ausgangsstufe. Wiederum ist anzumerken, dass die Transistoren der Common-Mode-Feedback-Schaltung 2850 nur vernachlässigbare Beiträge zum Gesamtrauschen der Schaltung beitragen, da ihr Rauschen als Gleichtakt-Signal in beide Zweige der Ausgangsstufe eingespeist wird.

Im Weiteren wird bezugnehmend auf Fig.29 ein Operationsverstärker 2900 als integrierter Schaltkreis gemäß einem siebzehnten Ausführungsbeispiel der Erfindung beschrieben.

Der Operationsverstärker 2900 wird erhalten, indem alle für niederfrequentes Rauschen relevanten Blöcke des Operationsverstärkers 2700 aus Fig.27 durch entsprechende erfindungsgemäß ausgestaltete Teilschaltungen ersetzt werden.

In der ersten Stromquelle 2710 ist eine solche Ersetzung entbehrlich, da dieser Schaltungsblock nur einen geringen Beitrag zum Gesamtrauschen der Schaltung leistet. Sofern auch dieser Block noch zusätzlich rauschkompensiert werden soll, kann anstelle des ersten n-MOS-Stromquellen-Transistors 2711 eine Verschaltung vorgenommen werden, wie in der dritten Stromquelle 2750 in Fig.29.

In dem Differenz-Eingangs-Transistorpaar 2720 ist der erste n-MOS-Differenzstufen-Transistor 2721 durch erste und zweite n-MOS-Ersatz-Differenzstufen-Transistoren 2721a, 2721b ersetzt. Darüber hinaus ist der zweite n-MOS-Differenzstufen-Transistor 2722 durch dritte und vierte n-MOS-Ersatz-Differenzstufen-Transistoren 2722a, 2722b in der erfindungsgemäßen Weise ersetzt. Ferner sind n-MOS-Schalt-Transistoren 2901 vorgesehen, um die Transistoren 2721a,

2721b, 2722a, 2722b erfindungsgemäß zu verschalten und unter Verwendung von Taktsignalen ϕ_1 , ϕ_2 anzusteuern.

In dem Stromspiegel 2730 ist der erste p-MOS-Stromspiegel-Transistor 2731 ersetzt durch erste und zweite p-MOS-Ersatz-Stromspiegel-Transistoren 2731a, 2731b, und der zweite p-MOS-Stromspiegel-Transistor 2732 ist ersetzt durch dritte und vierte p-MOS-Ersatz-Stromspiegel-Transistoren 2732a, 2732b. Darüber hinaus sind p-MOS-Schalt-Transistoren 2902 vorgesehen, um die Transistoren 2731a, 2731b, 2732a, 2732b erfindungsgemäß unter Verwendung der Taktsignale ϕ_1 , ϕ_2 anzusteuern.

In der zweiten Stromquelle 2740 ist der erste p-MOS-Stromquellen-Transistor 2741 durch erste und zweite p-MOS-Ersatz-Stromquellen-Transistoren 2741a, 2741b ersetzt. Ferner sind auch in diesem Schaltungsblock p-MOS-Schalt-Transistoren 2902 vorgesehen.

In der dritten Stromquelle 2750 ist in Fig.29 der zweite n-MOS-Stromquellen-Transistor 2751 durch dritte und vierte p-MOS-Ersatz-Stromquellen-Transistoren 2751a, 2751b ersetzt. Ferner sind auch in diesem Teilschaltkreis n-MOS-Schalt-Transistoren 2901 vorgesehen.

Anschaulich wird in den Schaltungsblöcken 2720, 2750 die Ansteuerung der rauschkompensierten Transistoren über deren Gate-Knoten vorgenommen, wohingegen in den erfindungsgemäß ersetzten Blöcken 2730, 2740 die Ansteuerung der rauschkompensierten Transistoren über deren Wannen-Knoten vorgenommen wird.

Im Weiteren wird bezugnehmend auf Fig.30 ein Operationsverstärker 3000 als integrierter Schaltkreis gemäß einem achtzehnten Ausführungsbeispiel der Erfindung beschrieben.

Der Operationsverstärker 3000 aus Fig.30 unterscheidet sich von dem in Fig.28 gezeigten Operationsverstärker 2800 im Wesentlichen dadurch, dass in den Schaltungsblöcken 2820, 2830 und 2840 Transistoren erfindungsgemäß ersetzt, verschaltet und unter Verwendung der Taktsignale ϕ_1 , ϕ_2 angesteuert werden.

Das Differenz-Eingangs-Transistorpaar 2820 ist verschaltet wie das Differenz-Eingangs-Transistorpaar 2720 aus Fig.29.

In der zweiten Stromquelle 2830 ist der erste p-MOS-Stromquellen-Transistor 2831 durch erste und zweite p-MOS-Ersatz-Stromquellen-Transistoren 2831a, 2831b ersetzt. Ferner ist der dritte p-MOS-Stromquellen-Transistor 2833 durch dritte und vierte p-MOS-Ersatz-Stromquellen-Transistoren 2833a, 2833b ersetzt. Darüber hinaus sind p-MOS-Schalt-Transistoren 2902 vorgesehen, um die erfindungsgemäße Verschaltung und Ansteuerung zu ermöglichen.

In der dritten Stromquelle 2840 ist der dritte n-MOS-Stromquellen-Transistor 2842 durch erste und zweite n-MOS-Ersatz-Stromquellen-Transistoren 2842a, 2842b ersetzt, und ferner ist der fünfte n-MOS-Stromquellen-Transistor 2844 durch dritte und vierte n-MOS-Ersatz-Stromquellen-Transistoren 2844a, 2844b ersetzt. Darüber hinaus sind n-MOS-Schalt-Transistoren 2901 vorgesehen, um die erfindungsgemäße Verschaltung und Ansteuerung zu ermöglichen.

Bei dem Operationsverstärker 3000 sind die Blöcke 2810, 2850 gegenüber Fig.28 nicht verändert, da das Rauschen dieser Blöcke nur einen vernachlässigbaren Beitrag liefert. In den Blöcken 2820, 2830, 2840 wird die Ansteuerung von rauschkompensierten Transistoren über deren Gate-Knoten vorgenommen, wobei in den Stromquellen-Blöcken 2830, 2840 nur ein Teil der Transistoren, nicht jedoch die Kaskode-Elemente (Transistoren 2834, 2832, 2841, 2843) ersetzt sind. Selbstverständlich können auch diese Kaskode-Transistoren

ersetzt werden, wenn ein besonders geringes Rauschen angestrebt wird.

Im Weiteren wird bezugnehmend auf Fig.31A ein herkömmlicher n-MOS-SOI-Transistor 3100 und bezugnehmend auf Fig.31B eine diesen ersetzende SOI-Transistor-Anordnung 3110 gemäß einem vierten Ausführungsbeispiel der Erfindung beschrieben.

In Fig.31A ist ein herkömmlicher n-MOS-SOI-Transistor 3100 gezeigt, der auf einem SOI-Substrat 101 (Silicon-on-Insulator) integriert vorgesehen ist. Der n-MOS-SOI-Transistor 3100 weist einen ersten Source-/Drain-Anschluss 3102, einen zweiten Source-/Drain-Anschluss 3103 und einen Gate-Anschluss 3104 auf.

Wenn er in einer Schaltung betrieben wird, liefert der n-MOS-SOI-Transistor 3100 einen Beitrag zum niederfrequenten Rauschen des Schaltkreises. Ferner kann der SOI-Transistor 3100 dem Floating-Body-Effekt und dem Selbstheizeffekt ausgesetzt sein, welche Effekte in SOI-Schaltkreisen auftreten können.

In Fig.31B ist eine SOI-Transistor-Anordnung 3110 gemäß dem vierten Ausführungsbeispiel der Erfindung gezeigt, bei welcher der n-MOS-SOI-Transistor 3100 erfindungsgemäß durch zwei geeignet verschaltete Transistoren ersetzt ist derart, dass niederfrequentes Rauschen unterdrückt ist und der Floating-Body-Effekt sowie der Selbstheiz-Effekt unterdrückt sind.

Bei der SOI-Transistor-Anordnung 3110 ist der n-MOS-SOI-Transistor 3100 durch einen ersten und einen zweiten SOI-Ersatz-Transistor 3100a, 3100b ersetzt, die jeweils baugleich mit dem n-MOS-SOI-Transistor 3100 sind, insbesondere die gleichen geometrischen Abmessungen wie der n-MOS-SOI-Transistor 3100 aufweisen. Die ersten Source-/Drain-Anschlüsse 3102 der SOI-Ersatz-Transistoren 3100a, 3100b sind

miteinander gekoppelt, die zweiten Source-/Drain-Anschlüsse 3103 der n-MOS-SOI-Ersatz-Transistoren 3100a, 3100b sind miteinander gekoppelt. Wie ferner aus Fig.31B ersichtlich ist, ist der Gate-Anschluss 3104 aus Fig.31A durch einen ersten Ersatz-Gate-Anschluss 3104a als Gate-Anschluss des ersten n-MOS-SOI-Ersatz-Transistors 3100a und durch einen zweiten Ersatz-Gate-Anschluss 3104b als Gate-Anschluss des zweiten n-MOS-SOI-Ersatz-Transistors 3100b ersetzt. Der erste Ersatz-Gate-Anschluss 3104a des ersten n-MOS-SOI-Ersatz-Transistors 3100a ist mit einem ersten Schalterelement 3112a gekoppelt, das mittels eines an einem ersten Taktsignal-Eingang 3113a angelegten ersten Taktsignal ϕ_2 gesteuert wird. Ferner ist der zweite Ersatz-Gate-Anschluss 3104b des zweiten n-MOS-SOI-Ersatz-Transistors 3100b mit einem zweiten Schalterelement 3112b gekoppelt, das mittels eines zweiten Taktsignals ϕ_1 gesteuert wird. Die Schalterelemente 3112a, 3112b werden mit den (wie in Fig.31B gezeigt) gegenphasigen Taktsignalen ϕ_1 bzw. ϕ_2 angesteuert. Dadurch wird jeweils einer der Ersatz-Gate-Anschlüsse 3104a, 3104b auf Masse-Potential 3111 und der jeweils andere Ersatz-Gate-Anschluss 3104b, 3104a auf das an einem anderen Gate-Schaltungsknoten 3114 angelegte elektrische Potential gebracht. Ist an einem der Ersatz-Gate-Anschlüsse 3104a, 3104b von einem der SOI-Transistoren 3100a, 3100b das elektrische Potential des Gate-Schaltungsknotens 3114 angelegt, so kann der entsprechende SOI-Transistor 3100a oder 3100b (ein geeignetes elektrisches Potential vorausgesetzt) in einen leitfähigen Zustand gebracht werden und einen Arbeitspunkt in Inversion einnehmen. Ist dagegen an dem Ersatz-Gate-Anschluss 3104a, 3104b von einem SOI-Transistoren 3100a oder 3100b das elektrische Masse-Potential 3111 angelegt, so sperrt der entsprechende Transistor 3100a, 3100b und nimmt einen Arbeitspunkt in Verarmung ("depletion") oder "Akkumulation" ein.

Bei der Transistor-Anordnung 3110 ist ähnlich wie bei der Transistor-Anordnung 110 aus Fig.1B das niederfrequente

Rauschen aufgrund des getakteten Ansteuerns der beiden Transistoren 3100a, 3100b vermindert. Ferner führt das getaktete Ansteuern der Transistoren 3100a, 3100b bei der SOI-Schaltkreis-Anordnung 3110 aus Fig.31B zusätzlich zu einer Verringerung des Floating-Body-Effekts und zu einer Verringerung des Aufheiz-Effekts.

Die Schaltkreisisplementierung aus n-MOS-SOI-Transistoren gemäß Fig.31B stellt eine vorteilhafte Realisierung eines integrierten Analog-Schaltkreises dar. Mittels der beiden komplementären Full-Swing-Range Taktsignale ϕ_1 und ϕ_2 und mittels der beiden Schalterelemente 3112a, 3112b wird der Gate-Anschluss 3104a bzw. 3104b der jeweiligen SOI-Feldeffekttransistoren 3100a bzw. 3100b an den Gate-Schaltungsknoten 3114 oder an das elektrische Masse-Potential 3111, jeweils während einer Halbperiode des jeweiligen Taktsignals angeschlossen. Einer der beiden Transistoren (in einem bestimmten Betriebszustand zum Beispiel Transistor 3100a) wird dazu gebracht, in einem Inversionszustand (On-Zustand) betrieben zu sein, wohingegen der andere (beispielsweise Transistor 3100b) bei derselben Periode in Akkumulation (Off-Zustand) betrieben wird. In dieser Konfiguration werden beide Transistoren für eine jeweilige Zeit in Akkumulation befindlich sein, womit den jeweiligen Transistoren Zeit gegeben wird, thermisch zu relaxieren und einen Floating-Body Knoten zu entladen. Diese Zeit ist notwendig zur Unterdrückung des Floating-Body-Effekts und des Selbstaufheiz-Effekts.

Mittels alternierenden Schaltens der zwei (oder mehr) Transistoren ist jeweils einer der Transistoren in einem für den Schaltkreis aktiven Betriebszustand, der andere (oder die anderen) in einem Relaxationszustand, so dass die erfindungsgemäße Schaltkreisisplementierung für viele integrierte Analog-Schaltkreise eine vorteilhafte Realisierung darstellt.

Mit der Konfiguration aus Fig.31B wird die Clock-Dauer zum Betreiben so eingestellt, dass sie dem Wesentlichen gleich der Relaxationszeit zum Kühlen eines jeweiligen SOI-Transistors 3100a bzw. 3100b ist.

5

Im Weiteren wird bezugnehmend auf Fig.32A eine SOI-Transistor-Anordnung 3200 gemäß dem Stand der Technik und bezugnehmend auf Fig.32B einen diese ersetzende SOI-Transistor-Anordnung 3210 gemäß einem fünften Ausführungsbeispiel der Erfindung beschrieben.

10

In Fig.32A ist ein herkömmlicher p-MOS-SOI-Transistor 3200 gezeigt, der in einem SOI-Substrat 3201 integriert ist. Der SOI-Transistor 3200 weist einen ersten Source-/Drain-Anschluss 3202, einen zweiten Source-/Drain-Anschluss 3203 und einen Gate-Anschluss 3204 auf.

15

In Fig.32B ist eine SOI-Transistor-Anordnung 3210 gemäß dem fünften Ausführungsbeispiel der Erfindung gezeigt, bei welcher der p-MOS-SOI-Transistor 3200 erfindungsgemäß durch einen ersten p-MOS-SOI-Ersatz-Transistor 3200a und durch einen zweiten p-MOS-SOI-Ersatz-Transistor 3200b ersetzt ist.

20

Abweichend von der Konfiguration von Fig.31B werden gemäß Fig.32B die Gate-Potentiale der p-MOS-SOI-Ersatz-Transistoren 3200a, 3200b zwischen dem Potential eines Gate-Schaltungsknotens 3214 und einem Versorgungs-Potential VDD 3211 geschaltet. Gemäß dieser Konfiguration sperren die p-MOS-SOI-Ersatz-Transistoren 3200a, 3200b, wenn an ihrem jeweiligen Gate-Anschluss 3204a bzw. 3204b das Versorgungs-Potential VDD 3211 anliegt. Das Schalten der beiden Betriebszustände der beiden p-MOS-SOI-Transistoren 3200a, 3200b wird mittels zweier Schalterelemente 3212a, 3212b bewerkstelligt, welche mittels der in Fig.32B gezeigten zueinander gegenphasigen Taktsignale ϕ_1 , ϕ_2 geschaltet werden.

30

35

Im Weiteren wird bezugnehmend auf Fig.33 eine Querschnittsansicht einer halbleitertechnologischen Realisierung der SOI-Transistor-Anordnung 3110 gemäß dem vierten Ausführungsbeispiel der Erfindung beschrieben, das in Fig.31B gezeigt ist.

Die SOI-Transistor-Anordnung 3210 ist in dem in Fig.33 gezeigten SOI-Substrat 3300 realisiert. Das SOI-Substrat 3300 ist gebildet aus einem Silizium-Chip 3301, einer vergrabenen Siliziumoxid-Schicht 3302 auf dem Silizium-Chip 3101 und aus einer dünnen Silizium-Schicht 3303 auf der vergrabenen Siliziumoxid-Schicht 3302. In der Silizium-Schicht 3302 sind Bereiche n-dotiert bzw. p-dotiert. N-dotierte Bereiche der Silizium-Schicht 3303 bilden die ersten Source-/Drain-Anschlüsse 3102 bzw. die zweiten Source-/Drain-Anschlüsse 3103. Zwischen den jeweiligen Source-/Drain-Anschlüssen 3102, 3103 des ersten n-MOS-SOI-Ersatz-Transistors 3100a bzw. des zweiten n-MOS-SOI-Ersatz-Transistors 3100b ist jeweils ein Kanal-Bereich 3304, 3305 als p-dotierter Bereich gebildet. Auf dem jeweiligen Kanal-Bereich 3304, 3305 zwischen den zugeordneten Source-/Drain-Anschlüssen 3102, 3103 ist eine erste bzw. eine zweite Gate-isolierende Schicht 3306 bzw. 3307 angeordnet. Auf der Gate-isolierenden Schicht 3306 bzw. 3307 ist ein erster Gate-Bereich 3308 bzw. ein zweiter Gate-Bereich 3309 gebildet. Mittels einer Siliziumoxid-Entkopplungsstruktur 3310 sind die Feldeffekttransistoren 3100a und 3100b voneinander elektrisch entkoppelt.

Im Weiteren wird bezugnehmend auf Fig.34A ein herkömmlicher n-MOS-SOI-Transistor 3400 beschrieben, und bezugnehmend auf Fig.34B eine diesen ersetzende SOI-Transistor-Anordnung 3410 gemäß einem sechsten Ausführungsbeispiel der Erfindung.

Der erste n-MOS-SOI-Transistor 3400 gemäß dem Stand der Technik ist in einem SOI-Substrat 3401 gebildet und weist einen ersten Source-/Drain-Anschluss 3402, einen zweiten Source-/Drain-Anschluss 3403 und einen Gate-Anschluss 3404

auf. Der n-MOS-SOI-Transistor 3400 gemäß dem Stand der Technik ist dem Floating-Gate-Effekt und dem Selbstheiz-Effekt ausgesetzt und wird ferner durch niederfrequentes Rauschen negativ beeinflusst.

5

Fig.34B zeigt die SOI-Transistor-Anordnung 3410 gemäß dem sechsten Ausführungsbeispiel der Erfindung, bei welcher der n-MOS-SOI-Transistor 3400 durch erste bis n-te n-MOS-SOI-Transistoren 3400a bis 3400c ersetzt sind. Alle n-MOS-SOI-Ersatz-Transistoren 3400a bis 3400c weisen einen gemeinsamen ersten Source-/Drain-Anschluss 3402 und einen gemeinsamen zweiten Source-/Drain-Anschluss 3403 auf. Jedem n-MOS-SOI-Ersatz-Transistor 3400a bis 3400c ist ein Schalterelement 3412a bis 3412b zugeordnet, das mittels erster bis n-ter Taktsignale $\phi_n, \dots, \phi_2, \phi_1$ geschaltet wird. Der jeweilige Gate-Anschluss 3404a bis 3404c des jeweiligen n-MOS-SOI-Ersatz-Transistors 3400a bis 3400c kann je nach Schalterstellung des zugeordneten Schalterelements 3412a bis 3412c mit dem Gate-Schaltungsknoten 3414 oder mit dem elektrischen Masse-Potential 3411 gekoppelt sein..

20

Die Schalterstellungen der Schalterelemente 3412a bis 3412c, die mittels der Taktsignale $\phi_n, \dots, \phi_2, \phi_1$ gesteuert werden, werden derart eingestellt, dass jeweils genau einer der n-MOS-SOI-Ersatz-Transistoren 3400a bis 3400c mit dem Gate-Schaltungsknoten 3414 gekoppelt ist, alle anderen mit dem elektrischen Masse-Potential 3411. Dies wird durch die gegeneinander zeitlich versetzten Taktsignale $\phi_n, \dots, \phi_2, \phi_1$ bewerkstelligt, wobei jedes der Taktsignale zu einem n-tel der Zeit auf einem logischen Wert "1" ist, für den restlichen anteiligen Zeitraum $(n-1)/n$ des Taktzyklus ist der jeweilige Transistor in dem Off-Zustand. Anders ausgedrückt weist zu einem bestimmten Zeitpunkt immer nur genau eines der Taktsignale einen logischen Wert "1" auf, wohingegen alle anderen Taktsignale auf einem logischen Wert "0" sind.

35

Die gezeigte Taktung der n-MOS-SOI-Ersatz-Transistoren 3400a bis 3400c führt dazu, dass die Relaxationszeit für alle Transistoren 3400a bis 3400c (deren Dimensionen vorzugsweise identisch sind) erhöht ist, so dass die Transistoren für
5 einen Anteil $(n-1)/n$ jeder Taktperiode relaxieren können und nur für einen Zeitanteil $1/n$ in einem On-Zustand sind, während welchem den Transistor erwärmende Energie nachgeliefert wird. Somit ist mit der Konfiguration von Fig.34B der Selbstheiz-Effekt von MOS-Transistoren auf einem
10 SOI-Film signifikant reduziert, in einem Szenario, in dem die in Fig.31B, Fig.32B gezeigten Schaltkreis-Anordnungen das Selbstheizen der SOI-Transistors nicht ausreichend unterdrücken können. Anders ausgedrückt ist für einen jeweiligen der Transistoren 3400a bis 3400c gemäß Fig.34B die
15 Relaxationszeit größer als die Betriebszeit.

Die in Fig.34B gezeigte Verschaltung ist statt mit n-MOS Transistoren auch mit p-MOS-Transistoren realisierbar. Grundsätzlich ist das Ersetzen eines Transistors durch $n > 2$
20 Transistoren auch für herkömmliche Bulk-Transistoren möglich.

Im Weiteren wird bezugnehmend auf Fig.35A ein Stromspiegel-Schaltkreis 3500 mit p-MOS-Transistoren gemäß dem Stand der Technik beschrieben, und bezugnehmend auf Fig.35B ein Stromspiegel-Schaltkreis 3510 als integrierter Schaltkreis
gemäß einem neunzehnten Ausführungsbeispiel der Erfindung.

Der Stromspiegel-Schaltkreis 3500 aus Fig.35A stellt eine Realisierung eines Stromspiegels mit p-MOS-Transistoren dar,
30 und entspricht ansonsten weitgehend der in Fig.25A gezeigten Realisierung eines Stromspiegels mit n-MOS Transistoren. Eine wichtige Besonderheit des Stromspiegel-Schaltkreises 3500 aus Fig.35A ist, dass die Transistoren 3501, 3502 als SOI-p-MOS-Transistoren realisiert sind, und aufgrund der verwendeten
35 SOI-Technologie abgesehen von dem niederfrequenten Rauschen auch dem Self-Heating-Effekt und dem Floating-Body-Effekt als Störeffekte ausgesetzt sind. Diese Störeffekte sind bei der

erfindungsgemäßen Realisierung des Stromspiegel-Schaltkreises 3510 aus Fig.35B stark verringert.

Der Stromspiegel-Schaltkreis 3500 weist einen ersten und
5 einen zweiten p-MOS-SOI-Stromspiegel-Transistor 3501 und 3502
auf, deren Gate-Anschlüsse miteinander gekoppelt sind.
Jeweils ein Source-/Drain-Anschluss des ersten p-MOS-SOI-
Stromspiegel-Transistors 3501 und des zweiten p-MOS-SOI-
10 Stromspiegel-Transistors 3502 ist auf dem elektrischen
Versorgungs-Potential 3211. Der andere Source-/Drain-
Anschluss des ersten p-MOS-SOI-Stromspiegel-Transistors 3501
ist mit einem Ausgang 3503 des Stromspiegel-Schaltkreises
3500 gekoppelt. Der andere Source-/Drain-Anschluss des
15 zweiten p-MOS-SOI-Stromspiegel-Transistors 3502 ist sowohl
mit seinem eigenen Gate-Anschluss als auch mit einem
Anschluss einer Stromquelle 3504 I_{bias} gekoppelt, deren
anderer Anschluss auf dem elektrischen Masse-Potential 3111
befindlich ist.

20 Im Weiteren wird bezugnehmend auf Fig.35B der Stromspiegel-
Schaltkreis 3510 als integrierter Schaltkreis gemäß dem
neunzehnten Ausführungsbeispiel der Erfindung beschrieben. Es
ist zu betonen, dass der Stromspiegel-Schaltkreis 3510 in
SOI-Technologie realisiert ist, wobei erfindungsgemäß jeder
5 der Stromspiegel-Transistoren 3501, 3502 durch jeweils erste
und zweite n-MOS-SOI-Ersatz-Stromspiegel-Transistoren 3501a,
3501b bzw. 3502a, 3502b ersetzt sind. Dadurch sind der
Floating-Body-Effekt und der Selbstheiz-Effekt bei der in
SOI-Technologie realisierten Schaltkreis-Anordnung 3510
30 verringert.

Anders ausgedrückt sind bei dem Stromspiegel-Schaltkreis 3510
die ersten und zweiten p-MOS-SOI-Stromspiegel-Transistoren
3501 und 3502 jeweils durch eine erfindungsgemäße
35 Konfiguration ersetzt, ähnlich wie in Fig.31B gezeigt.
Insbesondere ist der erste p-MOS-SOI-Stromspiegel-Transistor
3501 durch einen ersten p-MOS-SOI-Ersatz-Stromspiegel-

Transistor 3501a und durch einen zweiten p-MOS-SOI-Ersatz-Stromspiegel-Transistor 3501b ersetzt. Der zweite p-MOS-SOI-Stromspiegel-Transistor 3502 ist durch einen dritten p-MOS-Ersatz-Stromspiegel-Transistor 3502a und durch einen vierten p-MOS-SOI-Ersatz-Stromspiegel-Transistor 3502b ersetzt.

Ferner sind in Fig.35B erste bis achte p-MOS-SOI-Schalt-Transistoren 3511 bis 3518 zum Ansteuern der ersten bis vierten p-MOS-Ersatz-Stromspiegel-Transistoren 3501a, 3501b, 3502a, 3502b vorgesehen, die ähnlich verschaltet sind wie die ersten bis achten n-MOS-Schalt-Transistoren 2511 bis 2518 in Fig.25B.

Es ist anzumerken, dass jeder der bezugnehmend auf Fig.5A bis Fig.30 beschriebenen integrierten Schaltkreise gemäß der Erfindung auch in SOI-Technologie realisiert sein kann. In SOI-Technologie realisierte Schaltkreis-Anordnungen weisen in der Regel keine Transistoren mit Substrat-Anschluss auf, da gemäß der SOI-Technologie üblicherweise die Ansteuerung eines Transistors über den Gate-Anschluss erfolgt. Bei der Realisierung der in Fig.5A bis Fig.30 gezeigten Schaltkreis-Anordnungen mit SOI-Transistoren können die Vorteile der SOI-Technologie effektiv genutzt werden, wobei simultan aufgrund der erfindungsgemäßen Ansteuerung der Transistoren unter Verwendung von alternierenden Taktsignalen der bei SOI-Transistoren stark auftretende Floating-Body-Effekt und Selbstheiz-Effekt vermindert ist.

Im Weiteren wird bezugnehmend auf Fig.36 ein Operationsverstärker 3600 als integrierter Schaltkreis gemäß einem zwanzigsten Ausführungsbeispiel der Erfindung beschrieben.

Der Operationsverstärker 3600 stellt einen CMOS-Miller-Zweistufen-Operationsverstärker dar. Die Operationsverstärker 3600 stellt eine zu Fig.29 alternative erfindungsgemäße

Realisierung des aus dem Stand der Technik bekannten Operationsverstärkers 2700 aus Fig.27 dar.

Der Operationsverstärker 3600 ist auf einem SOI-Substrat
5 realisiert, so dass die in Fig.36 gezeigten Transistoren alle
SOI-Feldeffekttransistoren sind. Aufgrund des
erfindungsgemäßen Taktbetriebs der Transistoren des
Operationsverstärkers 3600 sind der Floating-Body-Effekt und
der Selbstheiz-Effekt, welcher ansonsten bei SOI-
10 Feldeffekttransistoren auftritt, vermieden.

Die interne Verschaltung des Differenz-Eingangs-
Transistorpaars 2720 aus Fig.36 entspricht der Verschaltung
innerhalb des entsprechenden Blocks von Fig.29. Ebenso ist
15 der Stromspiegel 2730 in Fig.36 wie in Fig.29 realisiert. Die
interne Verschaltung der zweiten Stromquelle 2740 in Fig.36
entspricht jener von Fig.29. Auch die dritte Stromquelle 2750
ist in Fig.36 hinsichtlich ihrer internen Verschaltung
realisiert wie in Fig.29. Abweichend von Fig.29 ist die erste
20 Stromquelle 2710 gemäß Fig.36 nicht nur durch einen einzigen
Transistor 2711 realisiert, sondern durch eine interne
Verschaltung, wie sie der internen Verschaltung des Blocks
2750 aus Fig.36 entspricht.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] S. Christensson, I. Lundström, and C. Svensson, "Low frequency noise in MOS transistors - I theory," Solid-St. El. 11, pp. 791-812, 1968
- [2] R. Brederlow, W. Weber, R. Jurk, C. Dahl, S. Kessel, J. Holz, W. Sauert, P. Klein, B. Lemaitre, D. Schmitt-Landsiedel, and R. Thewes, "Influence of fluorinated gate oxides on the low frequency noise of MOS transistors under analog operation," in Proceedings of the 28th European Solid-State Device Research Conference, pp. 472-5, 1998
- [3] DE 10001124 C1
- [4] S.L.J. Gierkink, E.A.M. Klumperink, E. Van Tuijl, and B. Nauta, "Reducing MOSFET $1/f$ noise and power consumption by 'switched biasing'," in Proceedings of the 28th European Solid-State Circuits Conference, pp. 154-7, 1999
- [5] E. Simoen, P. Vasina, J. Sikula, and C. Claeys, "Empirical model for the low-frequency noise of hot-carrier degraded submicron LDD MOSFETs," IEEE El. Dev. Lett. 18, pp. 480-2, 1997
- [6] I. Bloom, and Y. Nemirowsky, " $1/f$ noise reduction of metal-oxide-semiconductor transistor by cycling from inversion to accumulation," Appl. Phys. Lett. 58, pp. 1664-6, 1991
- [7] R. Gregorian, G. C. Temes, "Analog MOS Integrated Circuits", NY, John Wiley & Sons, 1986
- [8] P.E. Allen, and D.R. Holberg, "CMOS analog circuit design," New York, Oxford University Press, 1987

- [9] P.R. Gray, R.G. Meyer, "Analysis and design of analog integrated circuits," NY, John Wiley & Sons , 1993
- 5 [10] A. B. Grebene, "Bipolar and MOS analog integrated circuit design", NY, John Wiley & Sons , 1984
- [11] Tihanyi et al. "Properties of ESFI MOS transistors due to the floating substrate and the finite volume",
10 IEEE Trans. Electron Devices, Vol. ED-22, S.1017, 1975
- [12] Chan et al. "Comparative Study of Fully Depleted and Body-Grounded Non Fully Depleted SOI MOSFETs for High
15 performance analog and Mixed Signal Circuits", IEEE Trans. On Electron Devices, Vol.ED-42, Nr.11, S.1975, 1995
- [13] Tenbroek et al. "Impact of Self-Heating and Thermal
20 Coupling on Analog Circuits in SOI CMOS", IEEE Journal of Solid-State Circuits, Vol.33, Nr.7, S.1037, 1998
- [14] Wei et al. "Minimizing Floating-Body-Introduced
Threshold Voltage Variation in Partially Depleted SOI CMOS", IEEE Electron Device Letters, Vol.17, Nr.8,
1996
- [15] Colionge "Silicon-on-Insulator Technology: Material
30 to VLSI", Norwel, MA: Kluwer, S.139-141, 1991
- [16] Jenkins, KA "Characteristics of SOI FETs Under Pulsed
Conditions", IEEE Transactions on Electron Devices,
Vol.44, Nr.11, 1997

- [17] Perron, LM "Switch-Off Behaviour of Floating-Body PD SOI-MOSFETs", IEEE Transactions on Electron Devices, Vol.45, Nr.11. 1998

Bezugszeichenliste

100 n-MOS-Transistor
100a erster n-MOS-Ersatz-Transistor
100b zweiter n-MOS-Ersatz-Transistor
101 Silizium-Substrat
102 erster Source-/Drain-Anschluss
103 zweiter Source-/Drain-Anschluss
104 Gate-Anschluss
104a erster Ersatz-Gate-Anschluss
104b zweiter Ersatz-Gate-Anschluss
105 Substrat-Anschluss
105a erster Ersatz-Substrat-Anschluss
105b zweiter Ersatz-Substrat-Anschluss
110 Transistor-Anordnung
111 Masse-Potential
112a erstes Schalterelement
112b zweites Schalterelement
113a erster Taktsignal-Eingang
113b zweiter Taktsignal-Eingang
114 Gate-Schaltungsknoten
200 Transistor-Anordnung
201 Versorgungs-Potential
210 p-MOS-Transistor
210a erster p-MOS-Ersatz-Transistor
210b zweiter p-MOS-Ersatz-Transistor
300 integrierter Schaltkreis
301 p-dotiertes Silizium-Substrat
302 erster Source-/Drain-Bereich
303 zweiter Source-/Drain-Bereich
304 p-dotierter Substrat-Bereich
305 Gate-isolierende Schicht
306 Gate-Bereich
307 Bulk-Anschluss
308 n-dotierter Wannen-Bereich

309 erster Source-/Drain-Bereich
310 zweiter Source-/Drain-Bereich
311 Gate-isolierende Schicht
312 Gate-Bereich
313 n-dotierter Substrat-Bereich
314 Wannen-Anschluss
400 Transistor-Anordnung
500 Differenzstufe
501 erster n-MOS-Eingangs-Transistor
501a erster n-MOS-Ersatz-Eingangs-Transistor
501b zweiter n-MOS-Ersatz-Eingangs-Transistor
502 zweiter n-MOS-Eingangs-Transistor
502a dritter n-MOS-Ersatz-Eingangs-Transistor
502b vierter n-MOS-Ersatz-Eingangs-Transistor
503 erster Eingang
504 zweiter Eingang
505 erster Ausgang
506 zweiter Ausgang
507 erstes Lastelement
508 zweites Lastelement
509 Stromquelle
510 Differenzstufe
511 n-MOS-Stromquellen-Transistor
512 Vorspannung
600 Differenzstufe
601 erster p-MOS-Eingangs-Transistor
601a erster p-MOS-Ersatz-Eingangs-Transistor
601b zweiter p-MOS-Ersatz-Eingangs-Transistor
602 zweiter p-MOS-Eingangs-Transistor
602a dritter p-MOS-Ersatz-Eingangs-Transistor
602b vierter p-MOS-Ersatz-Eingangs-Transistor
610 Differenzstufe
700 Differenzstufe
701 erster n-MOS-Schalt-Transistor
702 zweiter n-MOS-Schalt-Transistor

703 dritter n-MOS-Schalt-Transistor
704 vierter n-MOS-Schalt-Transistor
705 fünfter n-MOS-Schalt-Transistor
706 sechster n-MOS-Schalt-Transistor
707 siebter n-MOS-Schalt-Transistor
708 achter n-MOS-Schalt-Transistor
800 Differenzstufe
801 erster p-MOS-Schalt-Transistor
802 zweiter p-MOS-Schalt-Transistor
803 dritter p-MOS-Schalt-Transistor
804 vierter p-MOS-Schalt-Transistor
805 fünfter p-MOS-Schalt-Transistor
806 sechster p-MOS-Schalt-Transistor
807 siebter p-MOS-Schalt-Transistor
808 achter p-MOS-Schalt-Transistor
900 Differenzstufe
1000 Differenzstufe
1001 Regelschaltung
1001a Eingang
1001b Ausgang
1100 Differenzstufe
1101 Sourcefolger-Schaltkreis
1102 Hilfs-Transistor
1103 Stromquelle
1200 Stromquellen-Schaltkreis
1201 erster Stromquellen-Transistor
1201a erster n-MOS-Ersatz-Stromquellen-Transistor
1201b zweiter n-MOS-Ersatz-Stromquellen-Transistor
1202 zweiter Stromquellen-Transistor
1202a dritter n-MOS-Ersatz-Stromquellen-Transistor
1202b vierter n-MOS-Ersatz-Stromquellen-Transistor
1203 n-ter Stromquellen-Transistor
1204 erster Ausgang
1205 zweiter Ausgang
1206 n-ter Ausgang

1207 Vorspannung
1210 Vorspannungs-Generier-Schaltkreis
1211 Wandler-Transistor
1212 Stromquelle
1220 Vorspannungs-Generier-Schaltkreis
1221 ohmscher Widerstand
1230 Vorspannungs-Generier-Schaltkreis
1231 n-MOS-Last-Transistor
1240 Vorspannungs-Generier-Schaltkreis
1241 p-MOS-Last-Transistor
1300 Stromquellen-Schaltkreis
1301 Spannungsquelle
1400 kaskadierter Stromquellen-Schaltkreis
1401 (n+1)-ter Kaskode-Transistor
1401a fünfter n-MOS-Ersatz-Stromquellen-Transistor
1401b sechster n-MOS-Ersatz-Stromquellen-Transistor
1402 (n+2)-ter Kaskode-Transistor
1402a siebter n-MOS-Ersatz-Stromquellen-Transistor
1402b achter n-MOS-Ersatz-Stromquellen-Transistor
1403 2n-ter Kaskode-Transistor
1404 andere Vorspannung
1410 kaskadierter Vorspannungs-Generier-Schaltkreis
1411 anderer Wandler-Transistor
1412 erster Hilfs-Transistor
1413 zweiter Hilfs-Transistor
1420 kaskadierter Vorspannungs-Generier-Schaltkreis
1500 Stromquellen-Schaltkreis
1510 Stromquellen-Schaltkreis
1600 Stromquellen-Schaltkreis
1601 erster n-MOS-Schalt-Transistor
1602 zweiter n-MOS-Schalt-Transistor
1603 dritter n-MOS-Schalt-Transistor
1604 vierter n-MOS-Schalt-Transistor
1605 fünfter n-MOS-Schalt-Transistor
1606 sechster n-MOS-Schalt-Transistor

1607 siebter n-MOS-Schalt-Transistor
1608 achter n-MOS-Schalt-Transistor
1610 Stromquellen-Schaltkreis
1700 Stromquellen-Schaltkreis
1701 neunter n-MOS-Schalt-Transistor
1702 zehnter n-MOS-Schalt-Transistor
1703 elfter n-MOS-Schalt-Transistor
1704 zwölfter n-MOS-Schalt-Transistor
1705 dreizehnter n-MOS-Schalt-Transistor
1706 vierzehnter n-MOS-Schalt-Transistor
1707 fünfzehnter n-MOS-Schalt-Transistor
1708 sechzehnter n-MOS-Schalt-Transistor
1800 Stromquellen-Schaltkreis
1900 Hilfs-Schalbild
1901 erste Rauschspannungsquelle
1902 zweite Rauschspannungsquelle
1903 n-te Rauschspannungsquelle
1904 (n+1)-te Rauschspannungsquelle
1905 (n+2)-te Rauschspannungsquelle
1906 2n-te Rauschspannungsquelle
2000 Stromquellen-Schaltkreis
2001a erster p-MOS-Ersatz-Stromquellen-Transistor
2001b zweiter p-MOS-Ersatz-Stromquellen-Transistor
2002a dritter p-MOS-Ersatz-Stromquellen-Transistor
2002b vierter p-MOS-Ersatz-Stromquellen-Transistor
2003 erster p-MOS-Schalt-Transistor
2004 zweiter p-MOS-Schalt-Transistor
2005 dritter p-MOS-Schalt-Transistor
2006 vierter p-MOS-Schalt-Transistor
2007 fünfter p-MOS-Schalt-Transistor
2008 sechster p-MOS-Schalt-Transistor
2009 siebter p-MOS-Schalt-Transistor
2010 achter p-MOS-Schalt-Transistor
2011 andere Spannungsquelle
2100 Stromquellen-Schaltkreis

2101 erster n-MOS-Schalt-Transistor
2102 zweiter n-MOS-Schalt-Transistor
2103 dritter n-MOS-Schalt-Transistor
2104 vierter n-MOS-Schalt-Transistor
2200 Stromquellen-Schaltkreis
2201 erster n-MOS-Schalt-Transistor
2202 zweiter n-MOS-Schalt-Transistor
2203 dritter n-MOS-Schalt-Transistor
2204 vierter n-MOS-Schalt-Transistor
2205 fünfter n-MOS-Schalt-Transistor
2206 sechster n-MOS-Schalt-Transistor
2207 siebter n-MOS-Schalt-Transistor
2208 achter n-MOS-Schalt-Transistor
2300 Stromquellen-Schaltkreis
2301 erster n-MOS-Schalt-Transistor
2302 zweiter n-MOS-Schalt-Transistor
2303 dritter n-MOS-Schalt-Transistor
2304 vierter n-MOS-Schalt-Transistor
2400 Stromquellen-Schaltkreis
2401 erster p-MOS-Schalt-Transistor
2402 zweiter p-MOS-Schalt-Transistor
2403 dritter p-MOS-Schalt-Transistor
2404 vierter p-MOS-Schalt-Transistor
2500 Stromspiegel-Schaltkreis
2501 erster Stromspiegel-Transistor
2501a erster Ersatz-Stromspiegel-Transistor
2501b zweiter Ersatz-Stromspiegel-Transistor
2502 zweiter Stromspiegel-Transistor
2502a dritter Ersatz-Stromspiegel-Transistor
2502b vierter Ersatz-Stromspiegel-Transistor
2503 Ausgang
2504 Stromquelle
2510 Stromspiegel-Schaltkreis
2511 erster n-MOS-Schalt-Transistor
2512 zweiter n-MOS-Schalt-Transistor

2513 dritter n-MOS-Schalt-Transistor
2514 vierter n-MOS-Schalt-Transistor
2515 fünfter n-MOS-Schalt-Transistor
2516 sechster n-MOS-Schalt-Transistor
2517 siebter n-MOS-Schalt-Transistor
2518 achter n-MOS-Schalt-Transistor
2600 Stromspiegel-Schaltkreis
2601a erster Ersatz-Stromspiegel-Transistor
2601b zweiter Ersatz-Stromspiegel-Transistor
2602a dritter Ersatz-Stromspiegel-Transistor
2602b vierter Ersatz-Stromspiegel-Transistor
2603 erster p-MOS-Schalt-Transistor
2604 zweiter p-MOS-Schalt-Transistor
2605 dritter p-MOS-Schalt-Transistor
2606 vierter p-MOS-Schalt-Transistor
2607 fünfter p-MOS-Schalt-Transistor
2608 sechster p-MOS-Schalt-Transistor
2609 siebter p-MOS-Schalt-Transistor
2610 achter p-MOS-Schalt-Transistor
2700 Operationsverstärker
2701 erster Eingang
2702 zweiter Eingang
2703 Vorspannung
2704 Ausgang
2710 erste Stromquelle
2711 erster n-MOS-Stromquellen-Transistor
2720 Differenz-Eingangs-Transistorpaar
2721 erster n-MOS-Differenzstufen-Transistor
2721a erster n-MOS-Ersatz-Differenzstufen-Transistor
2721b zweiter n-MOS-Ersatz-Differenzstufen-Transistor
2722 zweiter n-MOS-Differenzstufen-Transistor
2722a dritter n-MOS-Ersatz-Differenzstufen-Transistor
2722b vierter n-MOS-Ersatz-Differenzstufen-Transistor
2730 Stromspiegel
2731 erster p-MOS-Stromspiegel-Transistors

2731a erster p-MOS-Ersatz-Stromspiegel-Transistor
2731b zweiter p-MOS-Ersatz-Stromspiegel-Transistor
2732 zweiter p-MOS-Stromspiegel-Transistors
2732a dritter p-MOS-Ersatz-Stromspiegel-Transistor
2732b vierter p-MOS-Ersatz-Stromspiegel-Transistor
2740 zweite Stromquelle
2741 erster p-MOS-Stromquellen-Transistor
2741a erster p-MOS-Ersatz-Stromquellen-Transistor
2741b zweiter p-MOS-Ersatz-Stromquellen-Transistor
2750 dritte Stromquelle
2751 zweiter n-MOS-Stromquellen-Transistor
2751a dritter p-MOS-Ersatz-Stromquellen-Transistor
2751b vierter p-MOS-Ersatz-Stromquellen-Transistor
2800 Operationsverstärker
2801 erste Vorspannung
2802 zweite Vorspannung
2803 dritte Vorspannung
2804 vierte Vorspannung
2805 fünfte Vorspannung
2806 erster Ausgang
2807 zweiter Ausgang
2810 erste Stromquelle
2811 erster n-MOS-Stromquellen-Transistor
2820 Differenz-Eingangs-Transistorpaar
2830 zweite Stromquelle
2831 erster p-MOS-Stromquellen-Transistor
2831a erster p-MOS-Ersatz-Stromquellen-Transistor
2831b zweiter p-MOS-Ersatz-Stromquellen-Transistor
2832 zweiter p-MOS-Stromquellen-Transistor
2833 dritter p-MOS-Stromquellen-Transistor
2833a dritter p-MOS-Ersatz-Stromquellen-Transistor
2833b vierter p-MOS-Ersatz-Stromquellen-Transistor
2834 vierter p-MOS-Stromquellen-Transistor
2840 dritte Stromquelle
2841 zweiter n-MOS-Stromquellen-Transistor

2842 dritter n-MOS-Stromquellen-Transistor
2842a erster n-MOS-Ersatz-Stromquellen-Transistor
2842b zweiter n-MOS-Ersatz-Stromquellen-Transistor
2843 vierter n-MOS-Stromquellen-Transistor
2844 fünfter n-MOS-Stromquellen-Transistor
2844a dritter n-MOS-Ersatz-Stromquellen-Transistor
2844b vierter n-MOS-Ersatz-Stromquellen-Transistor
2850 Common-Mode-Feedback-Schaltung
2851 erster Common-Mode-Feedback-Transistor
2852 zweiter Common-Mode-Feedback-Transistor
2900 Operationsverstärker
2901 n-MOS-Schalt-Transistoren
2902 p-MOS-Schalt-Transistoren
3000 Operationsverstärker
3100 n-MOS-SOI-Transistor
3100a erster n-MOS-SOI-Ersatz-Transistor
3100b zweiter n-MOS-SOI-Ersatz-Transistor
3101 SOI-Substrat
3102 erster Source-/Drain-Anschluss
3103 zweiter Source-/Drain-Anschluss
3104 Gate-Anschluss
3104a erster Ersatz-Gate-Anschluss
3104b zweiter Ersatz-Gate-Anschluss
3110 SOI-Transistor-Anordnung
3111 Masse-Potential
3112a erstes Schalterelement
3112b zweites Schalterelement
3113a erster Taktsignal-Eingang
3113b zweiter Taktsignal-Eingang
3114 Gate-Schaltungsknoten
3200 p-MOS-SOI-Transistor
3200a erster p-MOS-SOI-Ersatz-Transistor
3200b zweiter p-MOS-SOI-Ersatz-Transistor
3201 SOI-Substrat
3202 erster Source-/Drain-Anschluss

3203 zweiter Source-/Drain-Anschluss
3204 Gate-Anschluss
3204a erster Ersatz-Gate-Anschluss
3204b zweiter Ersatz-Gate-Anschluss
3210 SOI-Transistor-Anordnung
3211 Versorgungs-Potential
3212a erstes Schalterelement
3212b zweites Schalterelement
3213a erster Taktsignal-Eingang
3213b zweiter Taktsignal-Eingang
3214 Gate-Schaltungsknoten
3300 SOI-Substrat
3301 Silizium-Chip
3302 vergrabene Siliziumoxid-Schicht
3303 Silizium-Schicht
3304 erster Kanal-Bereich
3305 zweiter Kanal-Bereich
3306 erste Gate-isolierende Schicht
3307 zweite Gate-isolierende Schicht
3308 erster Gate-Bereich
3309 zweiter Gate-Bereich
3310 Siliziumoxid-Entkopplungsstruktur
3400 n-MOS-SOI-Transistor
3400a erster n-MOS-SOI-Ersatz-Transistor
3400b zweiter n-MOS-SOI-Ersatz-Transistor
3400c n-ter n-MOS-SOI-Ersatz-Transistor
3401 SOI-Substrat
3402 erster Source-/Drain-Anschluss
3403 zweiter Source-/Drain-Anschluss
3404 Gate-Anschluss
3404a erster Ersatz-Gate-Anschluss
3404b zweiter Ersatz-Gate-Anschluss
3404c n-ter Ersatz-Gate-Anschluss
3410 SOI-Transistor-Anordnung
3411 Masse-Potential

3412a erstes Schalterelement
3412b zweites Schalterelement
3412b zweites Schalterelement
3412c n-tes Schalterelement
3413a erster Taktsignal-Eingang
3413b zweiter Taktsignal-Eingang
3413c n-ter Taktsignal-Eingang
3414 Gate-Schaltungsknoten
3500 Stromspiegel-Schaltkreis
3501 erster p-MOS-SOI-Stromspiegel-Transistor
3501a erster p-MOS-SOI-Ersatz-Stromspiegel-Transistor
3501b zweiter p-MOS-SOI-Ersatz-Stromspiegel-Transistor
3502 zweiter p-MOS-SOI-Stromspiegel-Transistor
3502a dritter p-MOS-SOI-Ersatz-Stromspiegel-Transistor
3502b vierter p-MOS-SOI-Ersatz-Stromspiegel-Transistor
3503 Ausgang
3504 Stromquelle
3510 Stromspiegel-Schaltkreis
3511 erster p-MOS-SOI-Schalt-Transistor
3512 zweiter p-MOS-SOI-Schalt-Transistor
3513 dritter p-MOS-SOI-Schalt-Transistor
3514 vierter p-MOS-SOI-Schalt-Transistor
3515 fünfter p-MOS-SOI-Schalt-Transistor
3516 sechster p-MOS-SOI-Schalt-Transistor
3517 siebter p-MOS-SOI-Schalt-Transistor
3518 achter p-MOS-SOI-Schalt-Transistor
3519 Bias-Spannung
3600 Operationsverstärker

Patentansprüche:**1. Transistor-Anordnung zum Verringern von Rauschen,**

- mit einem ersten und einem zweiten Feldeffekttransistor,
5 von denen jeder einen ersten und einen zweiten Source-/
Drain-Anschluss aufweist und einen Steuer-Anschluss zum
Anlegen eines ersten oder eines zweiten Signals
aufweist;
- bei der die ersten Source-/Drain-Anschlüsse des ersten
10 und des zweiten Feldeffekttransistors miteinander
gekoppelt sind;
- bei der die zweiten Source-/Drain-Anschlüsse des ersten
und des zweiten Feldeffekttransistors miteinander
gekoppelt sind;
- wobei die Transistor-Anordnung derart eingerichtet ist,
15 dass alternierend
 - o an den Steuer-Anschluss des ersten
Feldeffekttransistors das erste Signal und simultan
an den Steuer-Anschluss des zweiten
20 Feldeffekttransistors das zweite Signal anlegbar
ist;
 - o an den Steuer-Anschluss des ersten
Feldeffekttransistors das zweite Signal und
simultan an den Steuer-Anschluss des zweiten
Feldeffekttransistors das erste Signal anlegbar
ist.

2. Transistor-Anordnung nach Anspruch 1,

bei welcher der Steuer-Anschluss ein Gate-Anschluss oder ein
30 Substrat-Anschluss ist.

3. Transistor-Anordnung nach Anspruch 1 oder 2,

- bei welcher
 - o für den Fall, dass der Steuer-Anschluss des ersten
35 und des zweiten Feldeffekttransistors ein Gate-
Anschluss ist, der erste und der zweite
Feldeffekttransistor einen Substrat-Anschluss als

Zusatz-Steuer-Anschluss aufweisen;

- o für den Fall, dass der Steuer-Anschluss des ersten und des zweiten Feldeffekttransistors ein Substrat-Anschluss ist, der erste und der zweite Feldeffekttransistor einen Gate-Anschluss als Zusatz-Steuer-Anschluss aufweisen;

- wobei die Zusatz-Steuer-Anschlüsse des ersten und des zweiten Feldeffekttransistors miteinander gekoppelt sind.

10

4. Transistor-Anordnung nach einem der Ansprüche 1 bis 3, bei der eines des ersten und zweiten Signals ein Nutzsignal und das jeweils andere Signal ein Referenzpotential ist oder bei der das erste Signal und das zweite Signal jeweils ein Referenzpotential ist.

15

5. Transistor-Anordnung nach einem der Ansprüche 1 bis 4, bei welcher der erste und der zweite Feldeffekttransistor baugleich sind.

20

6. Transistor-Anordnung nach einem der Ansprüche 1 bis 5, bei der das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren mit einer Alternier-Frequenz alternierend angelegt sind, die mindestens so groß ist wie die Eckfrequenz der Rauschcharakteristik der Feldeffekttransistoren.

30

7. Transistor-Anordnung nach einem der Ansprüche 1 bis 6, bei der das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren mit einer Alternier-Frequenz alternierend angelegt sind, die größer ist als die Frequenzen eines Nutz-Frequenzbands eines zugeordneten Schaltkreises.

35

8. Transistor-Anordnung nach einem der Ansprüche 1 bis 4, bei der die das erste und das zweite Signal an den Steuer-Anschlüssen der ersten und zweiten Feldeffekttransistoren mit

einer reziproken Alternier-Frequenz alternierend angelegt sind, die kleiner ist als eine mittlere Lebensdauer eines Besetzungszustands einer Störstelle im Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der

5 Feldeffekttransistoren.

9. Transistor-Anordnung nach einem der Ansprüche 2 bis 8, bei der zumindest einer der Substrat-Anschlüsse als Wannen-Anschluss von einem der beiden Feldeffekttransistoren, der in
10 einer Wanne ausgebildet ist, eingerichtet ist.

10. Transistor-Anordnung nach einem der Ansprüche 1 bis 9, bei der beide Feldeffekttransistoren desselben Leitungstyps sind.

15

11. Transistor-Anordnung nach einem der Ansprüche 1 bis 10, die derart eingerichtet ist, dass von den beiden Feldeffekttransistoren jeweils einer in einem Inversions-Arbeitspunkt und der jeweils andere in einem Akkumulations-
20 oder Verarmungs-Arbeitspunkt betreibbar ist.

12. Transistor-Anordnung nach einem der Ansprüche 1 bis 11, bei welcher

- der Steuer-Anschluss des ersten Feldeffekttransistors mit einem ersten Schaltelement gekoppelt ist, welches mittels eines ersten Taktsignals mit einer Alternier-Frequenz schaltbar ist;
- der Steuer-Anschluss des zweiten Feldeffekttransistors mit einem zweiten Schaltelement gekoppelt ist, welches
30 mittels eines zweiten Taktsignals, das zu dem ersten Taktsignal komplementär ist, mit der Alternier-Frequenz schaltbar ist;
- wobei mittels des jeweiligen Schaltelements an den jeweiligen Steuer-Anschluss des jeweiligen
35 Feldeffekttransistors mit der Alternier-Frequenz alternierend das erste oder das zweite Signal anlegbar ist.

13. Transistor-Anordnung nach Anspruch 12,
bei der die ersten und zweiten Schaltelemente erste und
zweite Schalt-Transistoren-Anordnungen sind, an deren
5 jeweiligen Gate-Anschluss das jeweilige Taktsignal anlegbar
ist und wobei ein jeweiliger Source-/Drain-Anschluss eines
jeweiligen Schalt-Transistors mit dem Steuer-Anschluss des
jeweiligen Feldeffekttransistors gekoppelt ist.
- 10 14. Transistor-Anordnung nach einem der Ansprüche 1 bis 13,
die auf und/oder in einem Silicon-on-Insulator-Substrat
gebildet ist.
- 15 15. Transistor-Anordnung nach einem der Ansprüche 1 bis 14,
die in Analog-Schaltungstechnik realisiert ist.
16. Transistor-Anordnung nach Anspruch 14 oder 15,
mit mindestens einem zusätzlichen Feldeffekttransistor,
• wobei jeder des mindestens einen zusätzlichen
20 Feldeffekttransistors einen ersten und einen zweiten
Source-/Drain-Anschluss aufweist und einen Steuer-
Anschluss aufweist, an den das erste oder das zweite
Signal anlegbar ist;
• bei der die ersten Source-/Drain-Anschlüsse des ersten
und des zweiten Feldeffekttransistors mit den ersten
Source-/Drain-Anschlüssen von jedem des mindestens einen
zusätzlichen Feldeffekttransistors gekoppelt sind;
• bei der die zweiten Source-/Drain-Anschlüsse des ersten
und des zweiten Feldeffekttransistors mit den zweiten
30 Source-/Drain-Anschlüssen von jedem des mindestens einen
zusätzlichen Feldeffekttransistors gekoppelt sind;
• wobei die Transistor-Anordnung derart eingerichtet ist,
dass in einem ersten Betriebszustand an den Steuer-
Anschluss des ersten Feldeffekttransistors oder des
35 zweiten Feldeffekttransistors oder genau eines des
mindestens einen zusätzlichen Feldeffekttransistors das
erste Signal und simultan an die Steuer-Anschlüsse von

allen anderen Feldeffekttransistoren das zweite Signal angelegt wird, wobei in nachfolgenden Betriebszuständen das erste Signal sukzessive an den Steuer-Anschluss von jeweils einem der übrigen Feldeffekttransistoren angelegt wird und simultan das zweite Signal an die Steuer-Anschlüsse von allen anderen Feldeffekttransistoren angelegt wird.

17. Transistor-Anordnung nach einem der Ansprüche 1 bis 16, mit einer Taktgeber-Einheit, die mit den Feldeffekttransistoren derart gekoppelt ist, dass sie den Feldeffekttransistoren alternierend die Signale mittels gegeneinander verschobenen Taktsignalen bereitstellt.

18. Transistor-Anordnung nach Anspruch 17, bei der die Taktgeber-Einheit derart eingerichtet ist, dass sie die Taktsignale zum Verringern des Aufheizens der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren und/oder zum Verringern des Floating-Body-Effekts der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren vorgibt.

19. Integrierter Schaltkreis mit mindestens einer Transistor-Anordnung nach einem der Ansprüche 1 bis 18.

20. Integrierter Schaltkreis nach Anspruch 19, eingerichtet als

- Differenzstufe-Schaltkreis;
- Stromquelle-Schaltkreis;
- Stromspiegel-Schaltkreis; oder
- Operationsverstärker-Schaltkreis.

21. Verfahren zum Verringern des Rauschens von Feldeffekttransistoren,

- bei dem ein erster und ein zweiter Feldeffekttransistor miteinander verschaltet werden, wobei jeder der

Feldeffekttransistoren einen ersten und einen zweiten Source-/Drain-Anschluss aufweist und einen Steuer-Anschluss zum Anlegen eines ersten oder eines zweiten Signals aufweist;

- 5 • bei dem die ersten Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors miteinander gekoppelt werden;
- bei dem die zweiten Source-/Drain-Anschlüsse des ersten und des zweiten Feldeffekttransistors miteinander
- 10 gekoppelt werden;
- wobei die Transistor-Anordnung derart eingerichtet wird, dass alternierend
 - o an den Steuer-Anschluss des ersten Feldeffekttransistors das erste Signal und simultan
 - 15 an den Steuer-Anschluss des zweiten Feldeffekttransistors das zweite Signal angelegt wird;
 - o an den Steuer-Anschluss des ersten Feldeffekttransistors das zweite Signal und
 - 20 simultan an den Steuer-Anschluss des zweiten Feldeffekttransistors das erste Signal angelegt wird.

22. Verfahren nach Anspruch 21,

- 25 • bei welcher als Steuer-Anschluss ein Gate-Anschluss oder ein Substrat-Anschluss verwendet wird.

23. Verfahren nach Anspruch 22,

- bei dem mittels des alternierenden Anlegens der ersten und
- 30 zweiten Signale die Quasi-Fermi-Energie in einem Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren periodisch um einen Wert verändert wird, der größer ist als das Produkt aus der Boltzmann-Konstante und der absoluten Temperatur.

35

24. Verfahren nach Anspruch 22 oder 23,

- bei dem mittels des alternierenden Anlegens der ersten und

zweiten Signale die Quasi-Fermi-Energie in einem Grenzbereich zwischen Kanal-Bereich und Gate-isolierender Schicht der Feldeffekttransistoren periodisch um zwischen ungefähr 100meV und ungefähr 1eV verändert wird.

5

25. Verfahren nach einem der Ansprüche 21 bis 24, bei dem die Anordnung der Feldeffekttransistoren auf und/oder in einem Silicon-on-Insulator-Substrat gebildet wird.

10

26. Verfahren nach einem der Ansprüche 21 bis 25, bei dem das erste Signal und das zweite Signal derart alternierend an die Steuer-Anschlüsse des ersten Feldeffekttransistors und des zweiten Feldeffekttransistors angelegt werden, dass das Aufheizen der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten

15

Feldeffekttransistoren verringert wird und/oder der Floating-Body-Effekt der auf und/oder in dem Silicon-on-Insulator-Substrat gebildeten Feldeffekttransistoren verringert wird.

Zusammenfassung

Transistor-Anordnung zum Verringern von Rauschen,
integrierter Schaltkreis und Verfahren zum Verringern des
5 Rauschens von Feldeffekttransistoren

Die Transistor-Anordnung zum Verringern von Rauschen enthält
einen ersten und einen zweiten Feldeffekttransistor, von
denen jeder einen ersten und einen zweiten Source-/Drain-
10 Anschluss aufweist und einen Steuer-Anschluss zum Anlegen
eines ersten oder zweiten Signals aufweist. Die Transistor-
Anordnung ist derart eingerichtet, dass alternierend an den
Steuer-Anschluss des ersten Feldeffekttransistors das erste
Signal und simultan an den Steuer-Anschluss des zweiten
15 Feldeffekttransistors das zweite Signal anlegbar ist, bzw. an
den Steuer-Anschluss des ersten Feldeffekttransistors das
zweite Signal und simultan an den Steuer-Anschluss des
zweiten Feldeffekttransistors das erste Signal anlegbar ist.

1/27

FIG 1A

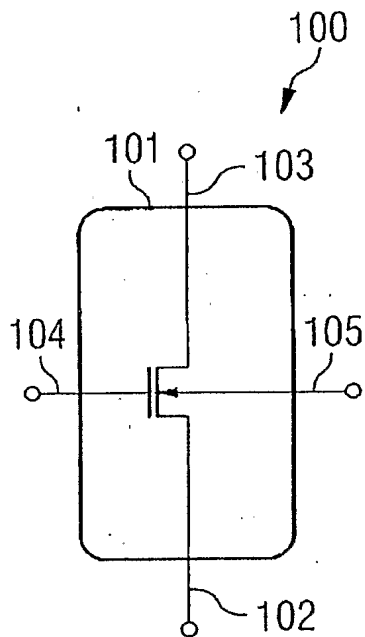


FIG 1B

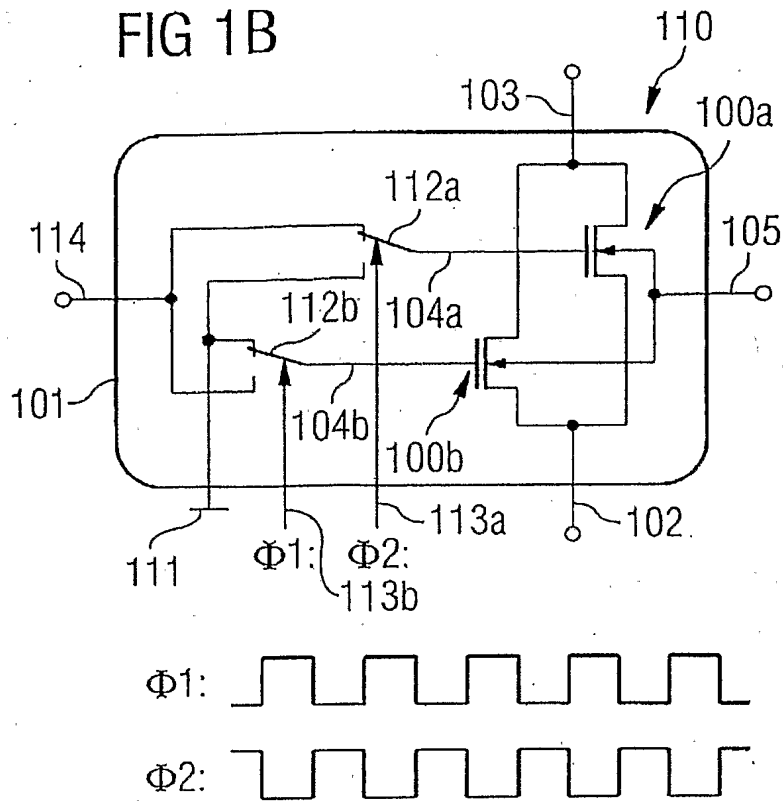


FIG 2A

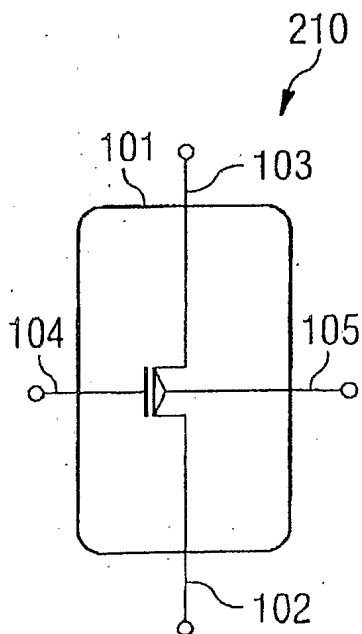


FIG 2B

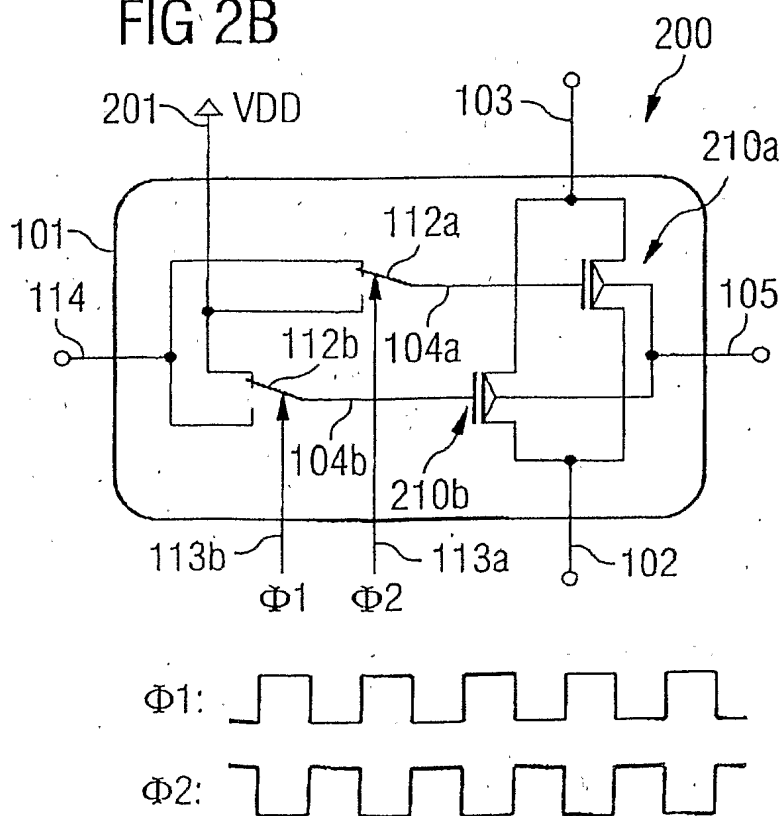


FIG 3

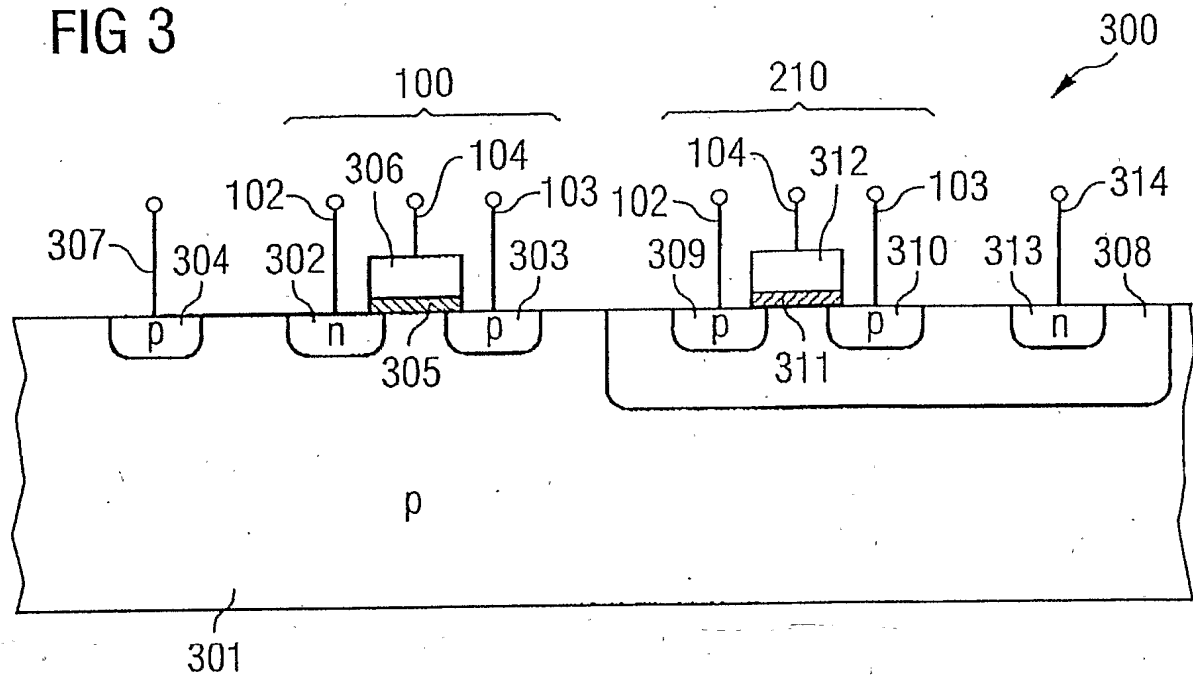


FIG 4A

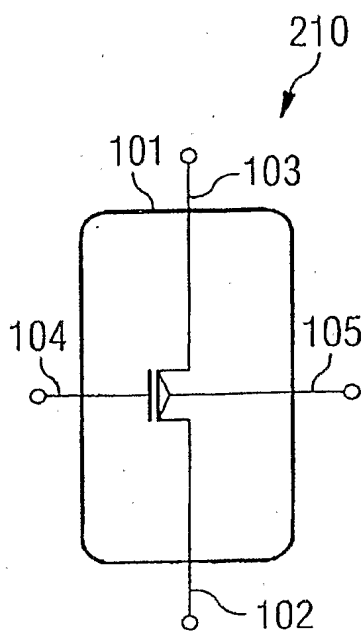


FIG 4B

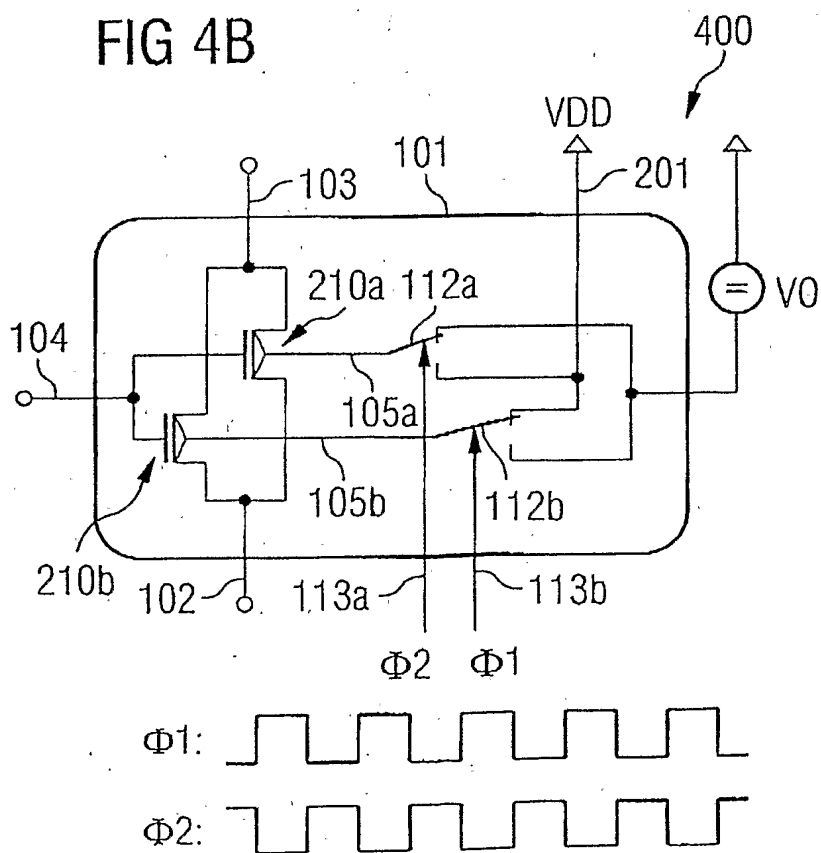


FIG 5A Stand der Technik

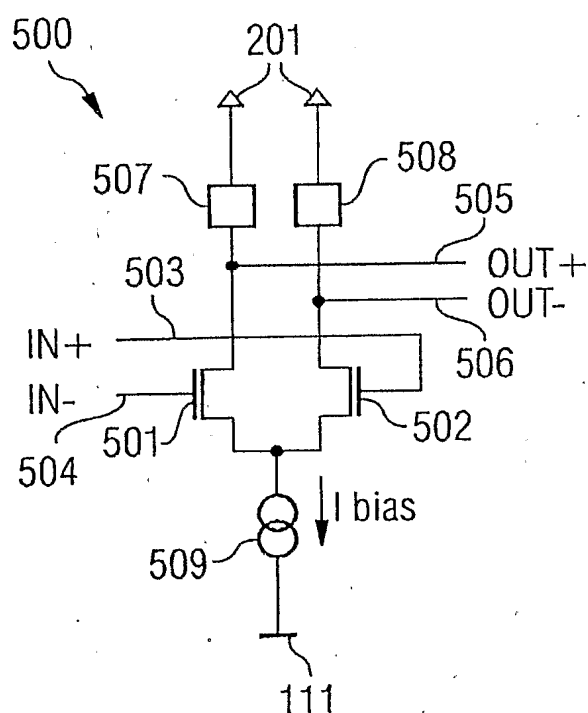


FIG 5B Stand der Technik

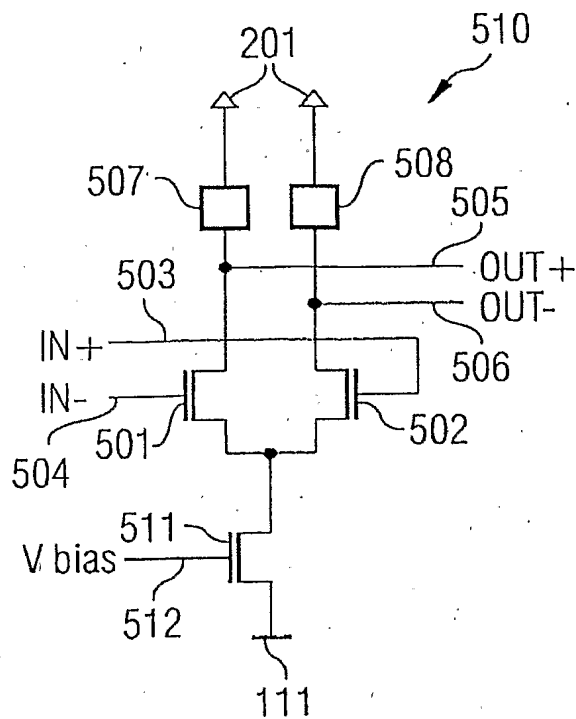


FIG 6A Stand der Technik

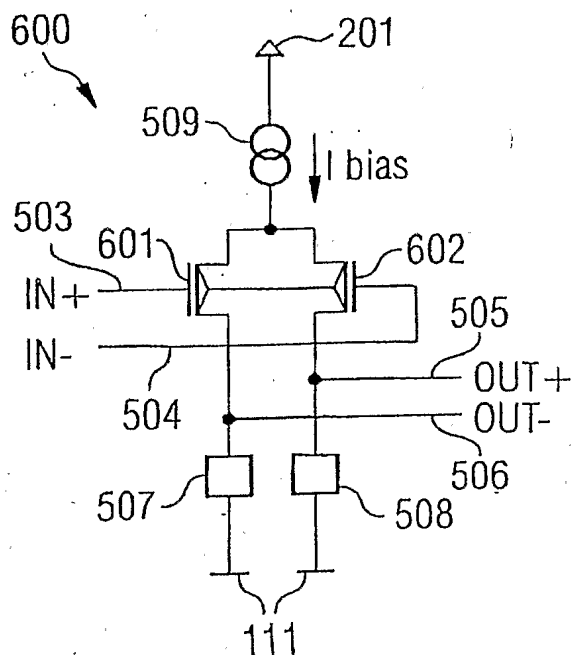


FIG 6B Stand der Technik

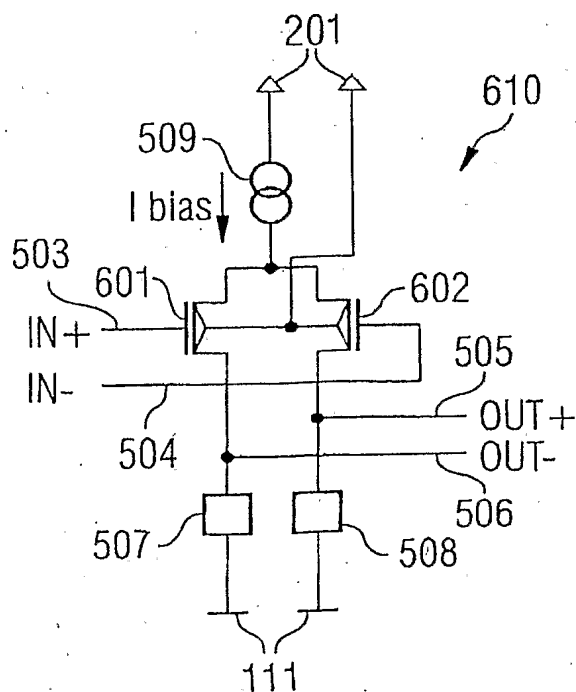


FIG 7

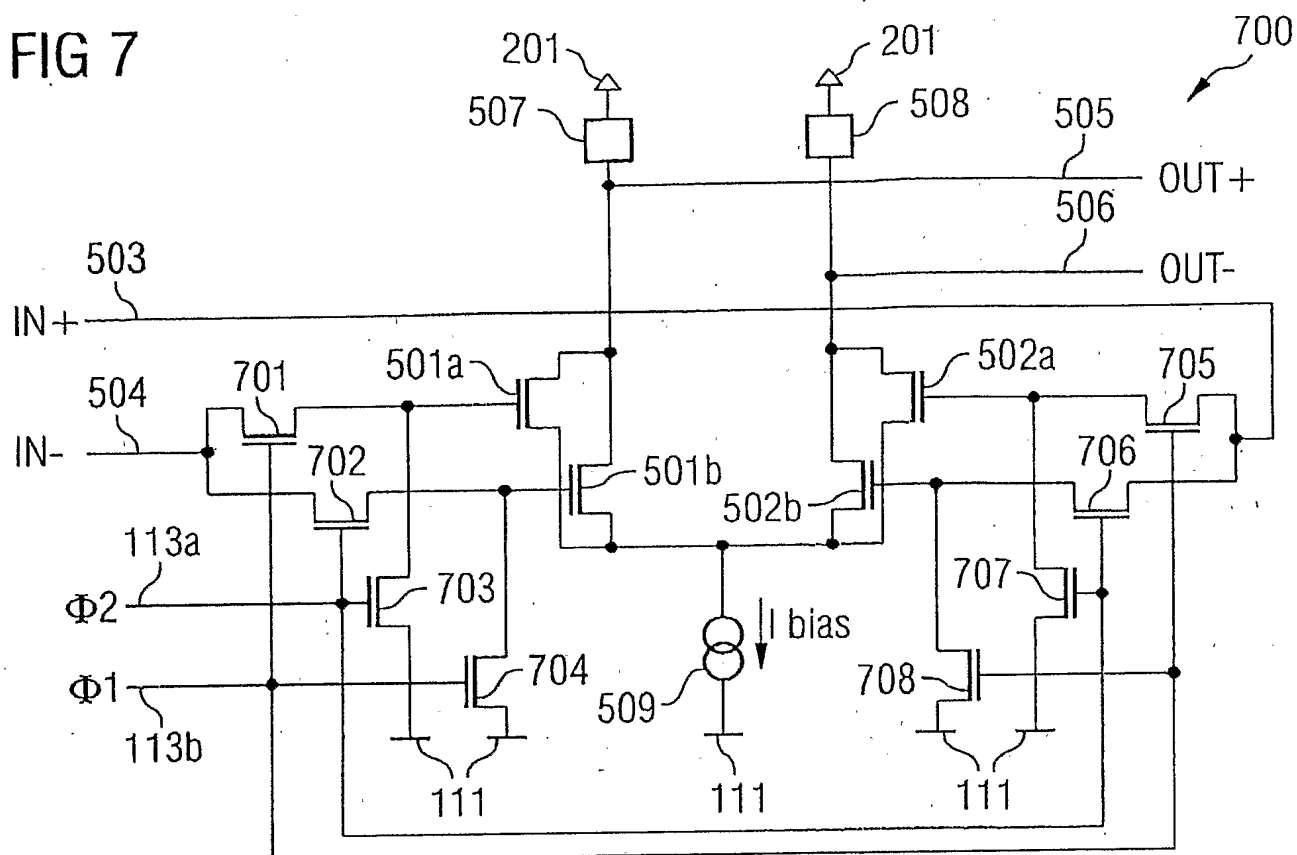


FIG 8

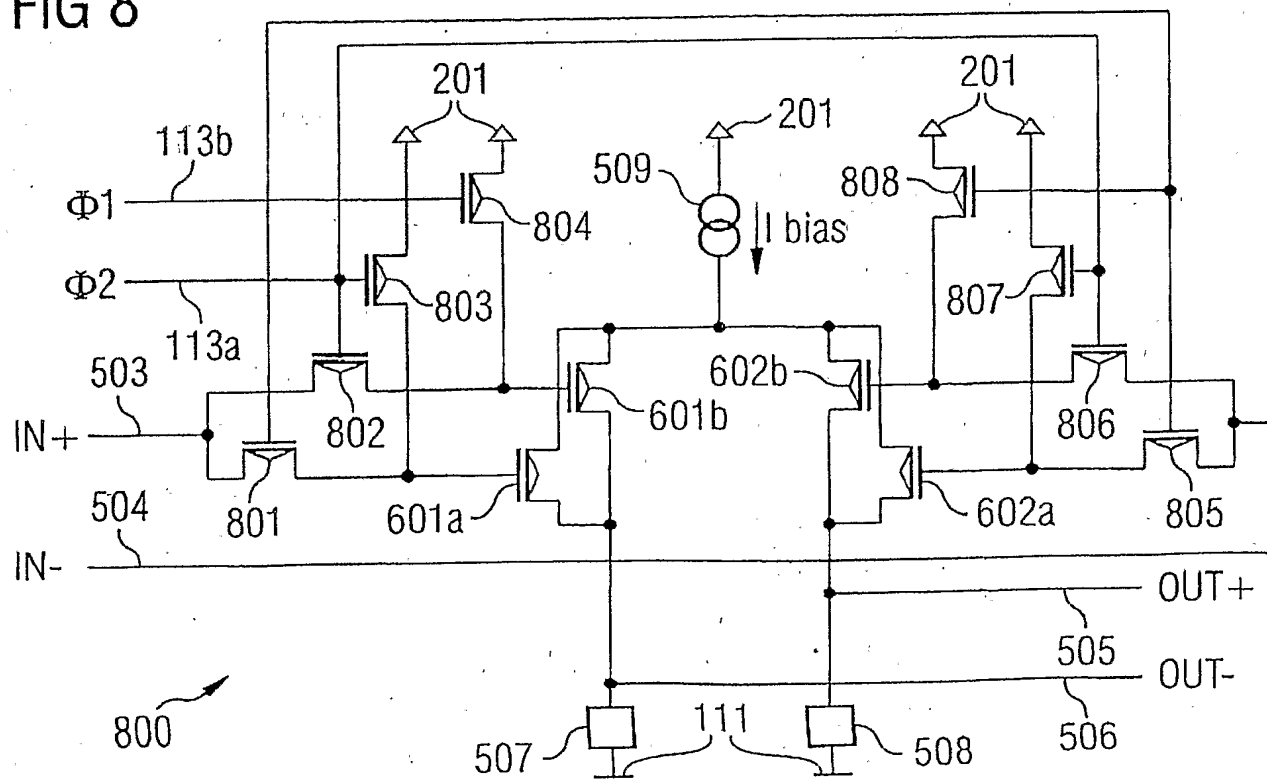


FIG 9

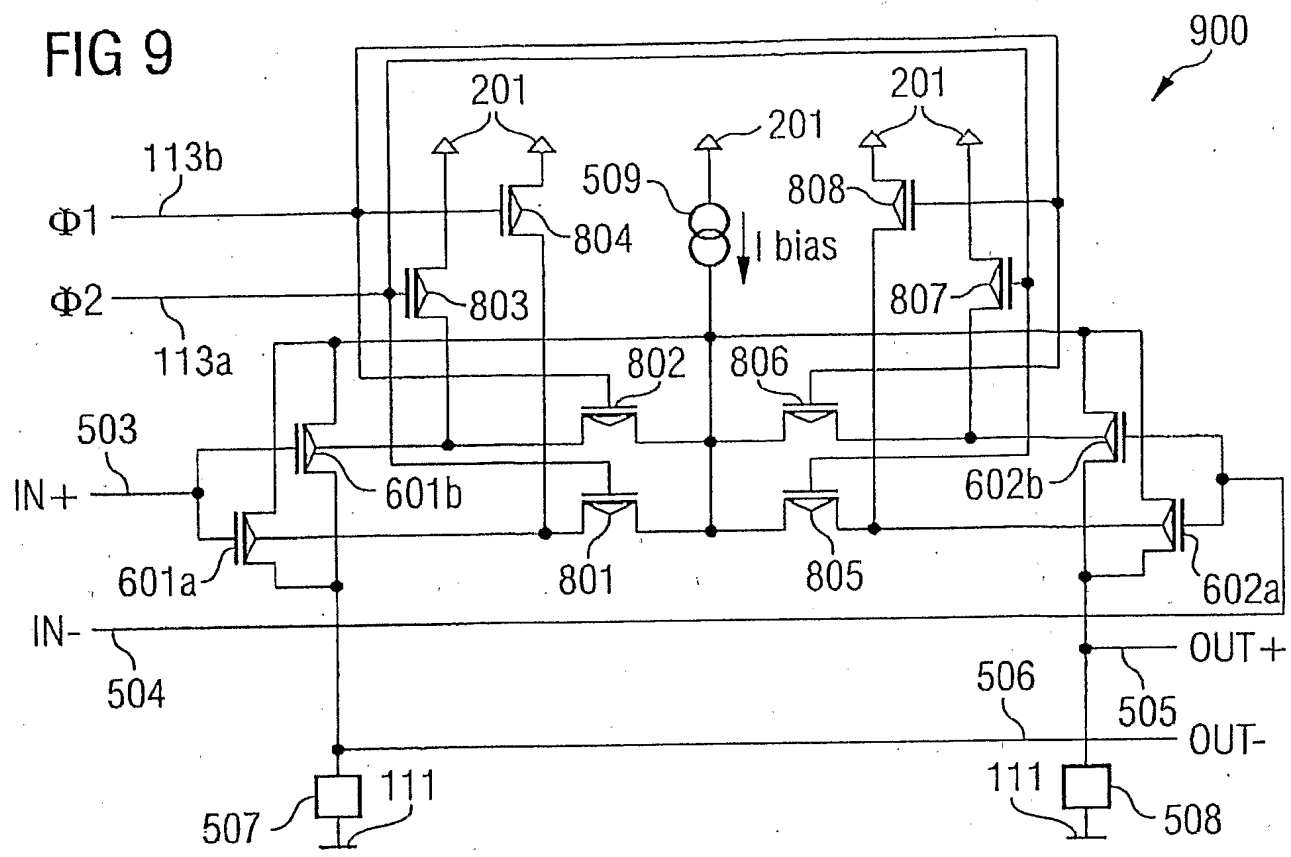


FIG 10

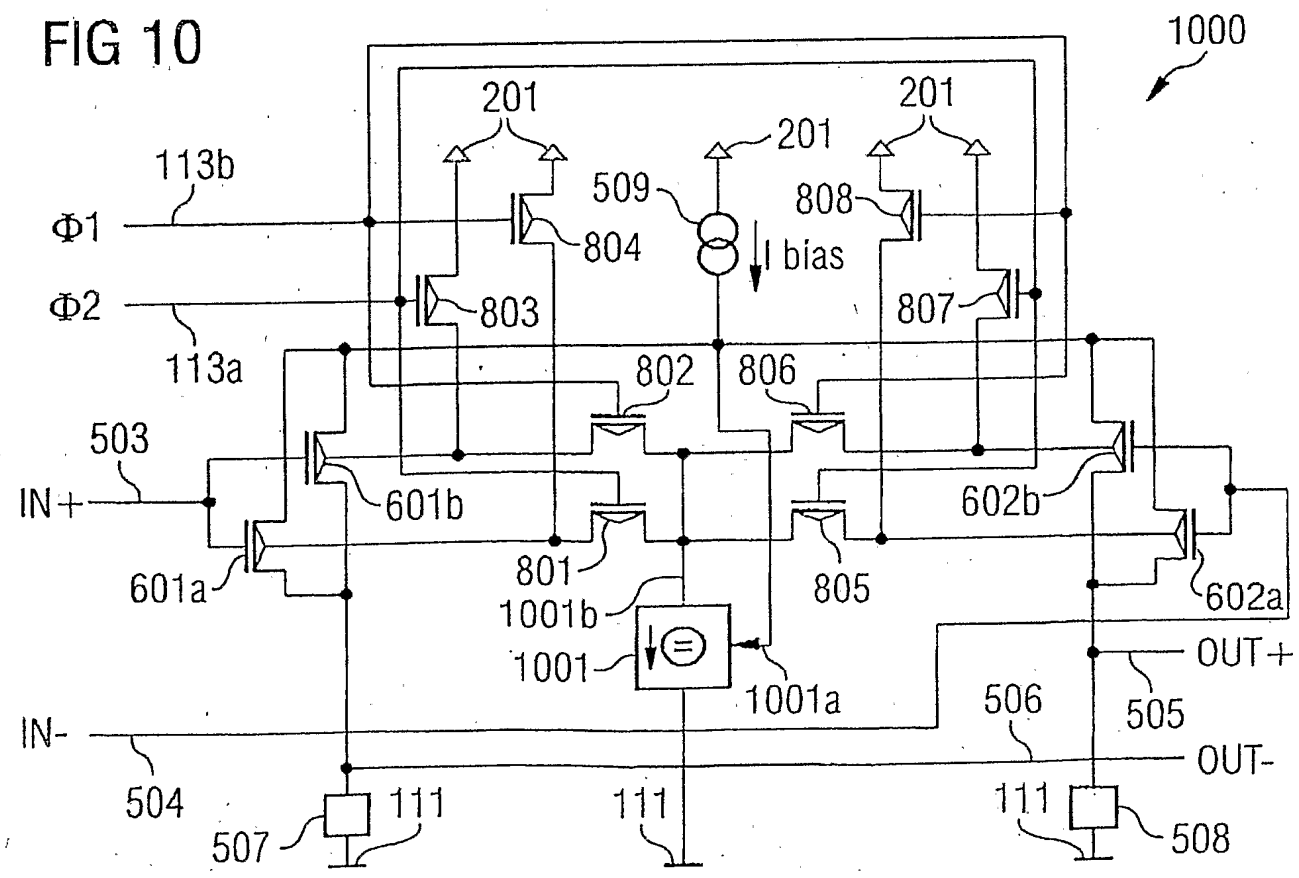


FIG 11

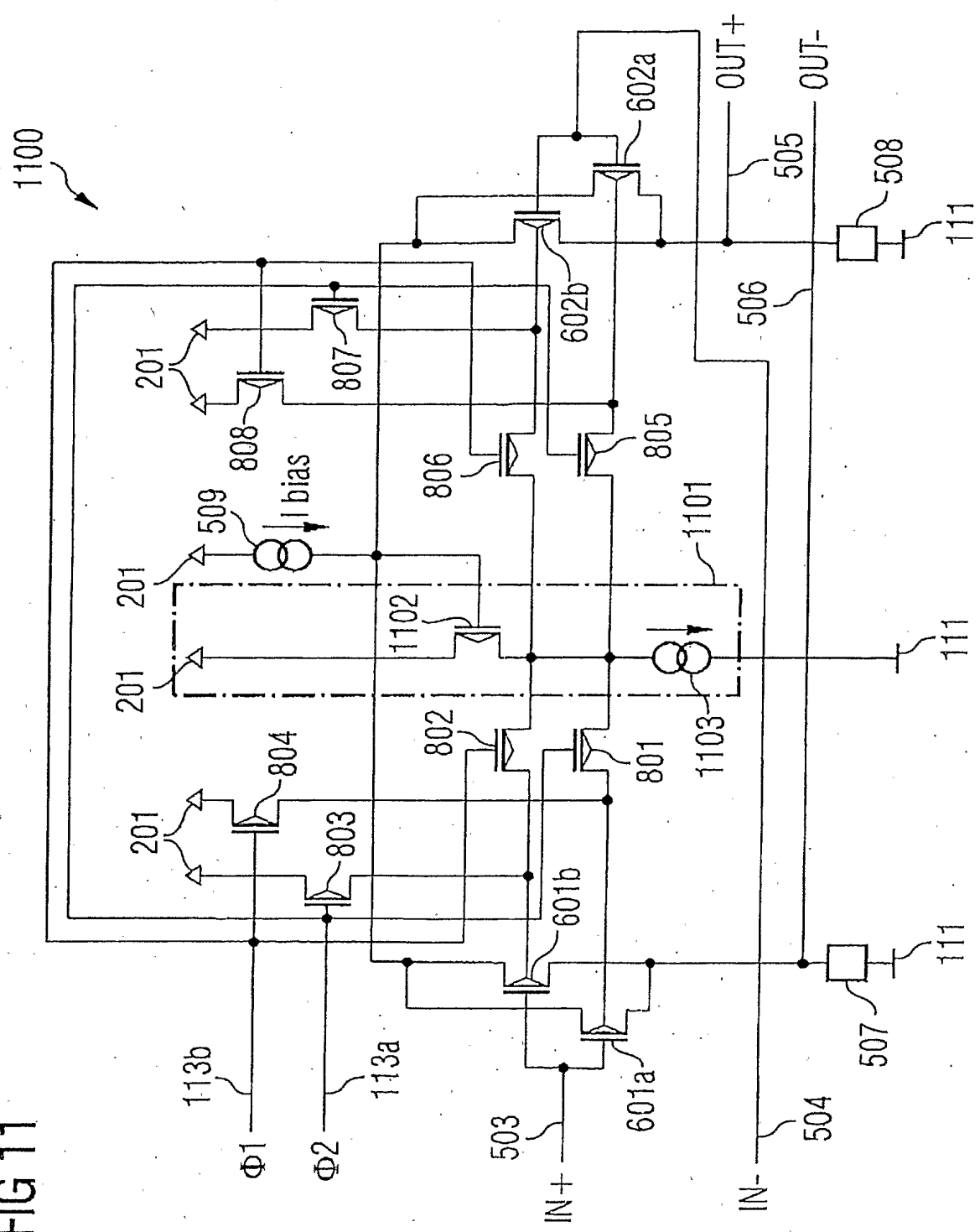


FIG 12A Stand der Technik

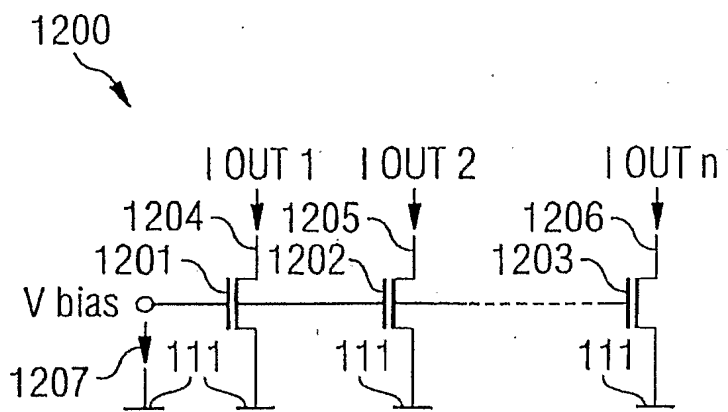


FIG 12B Stand der Technik

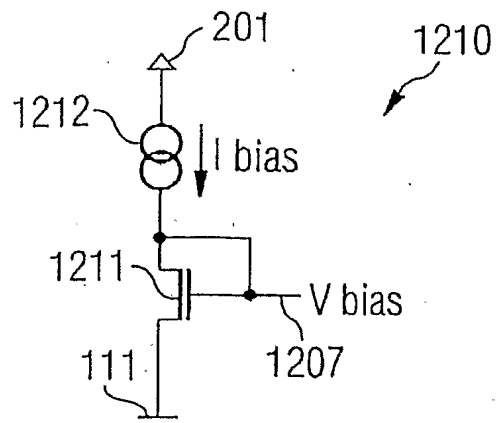


FIG 12C Stand der Technik

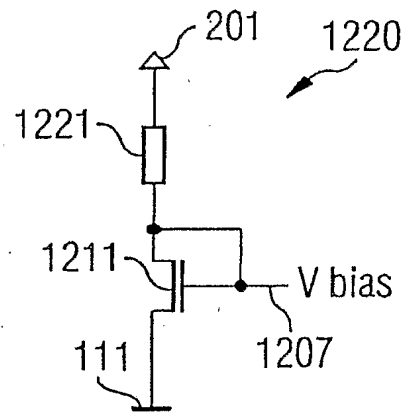


FIG 12D Stand der Technik

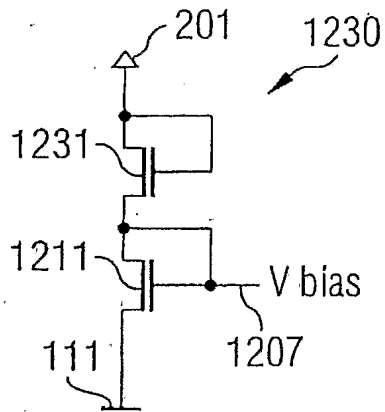


FIG 12E Stand der Technik

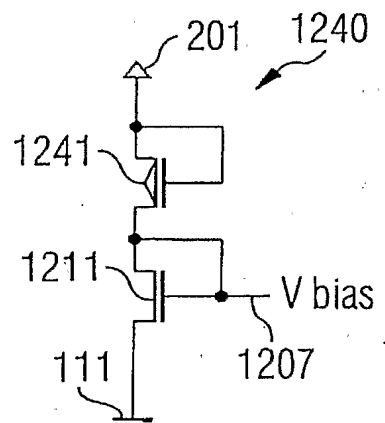


FIG 13 Stand der Technik

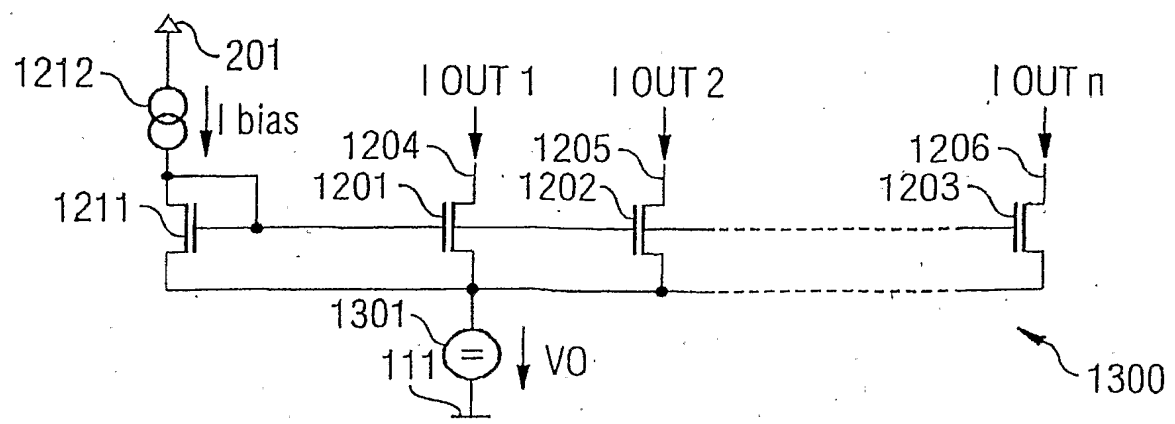


FIG 14A Stand der Technik

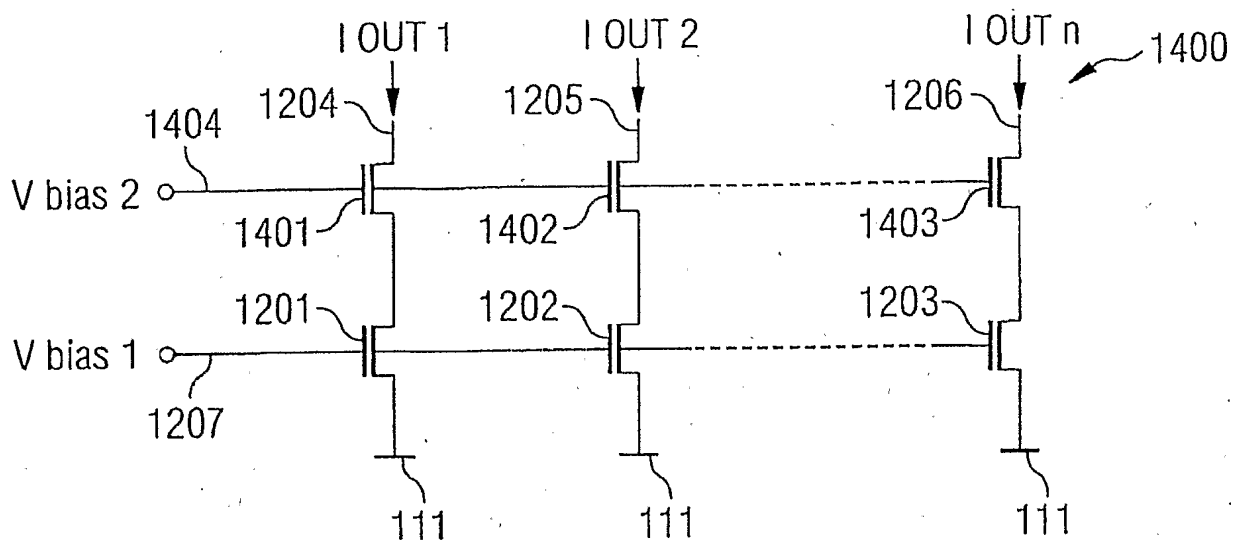


FIG 14B Stand der Technik

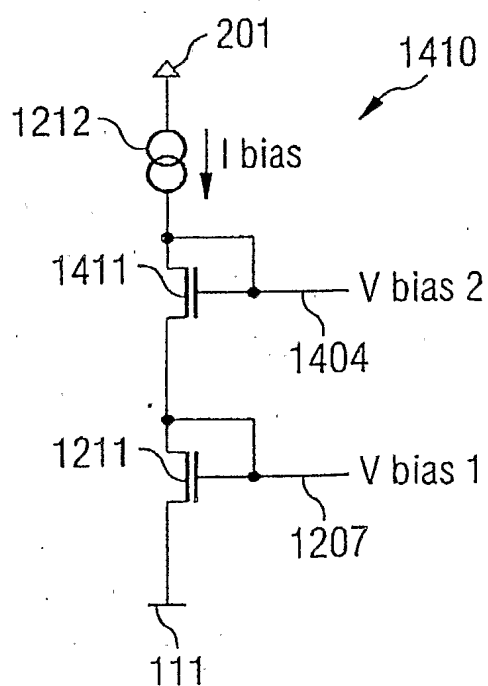


FIG 14C Stand der Technik

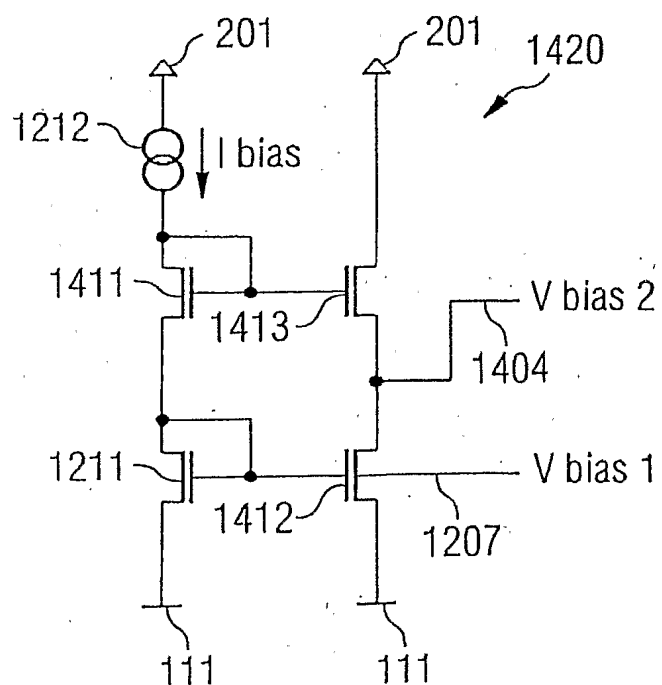


FIG 15A Stand der Technik

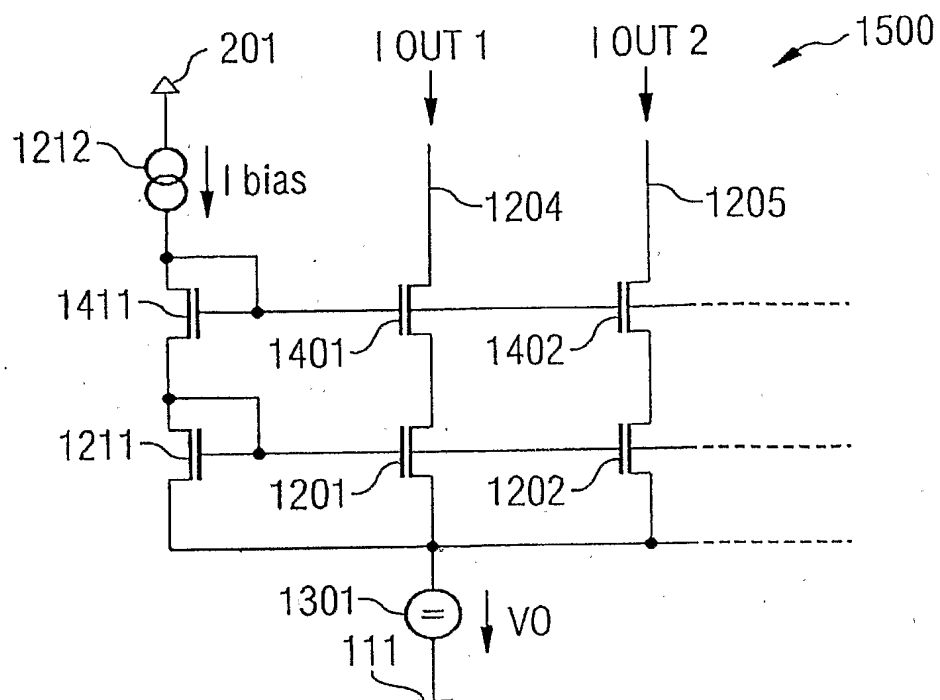
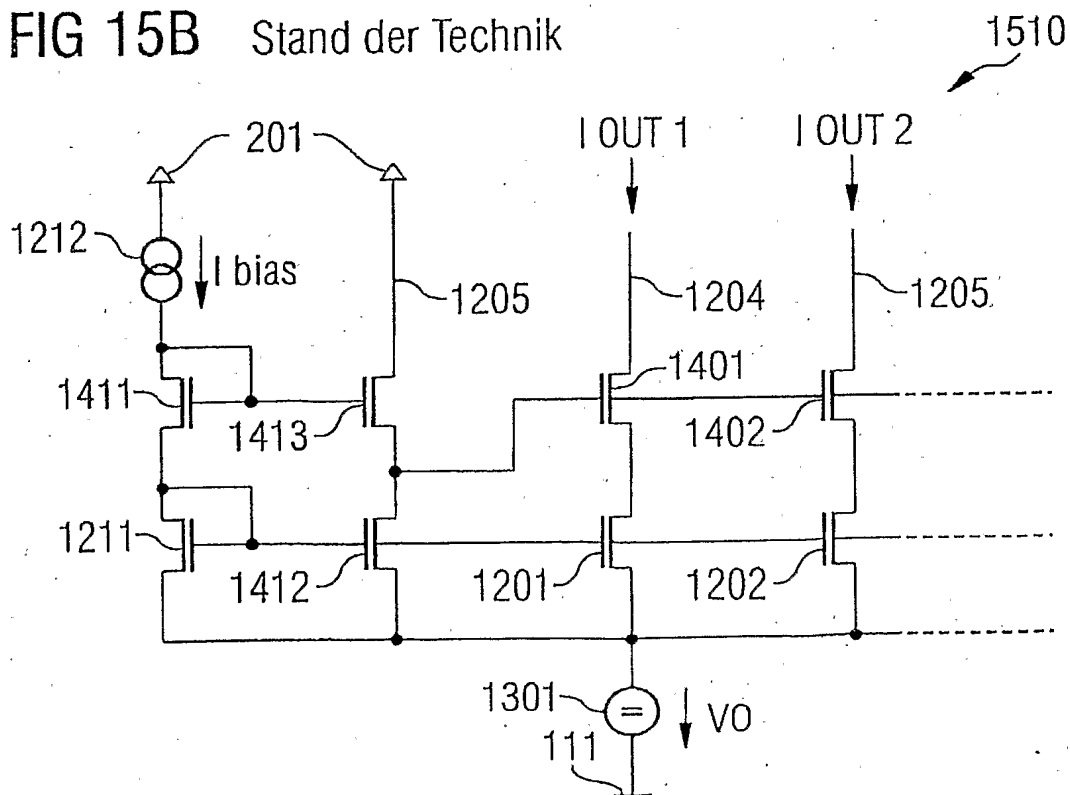


FIG 15B Stand der Technik



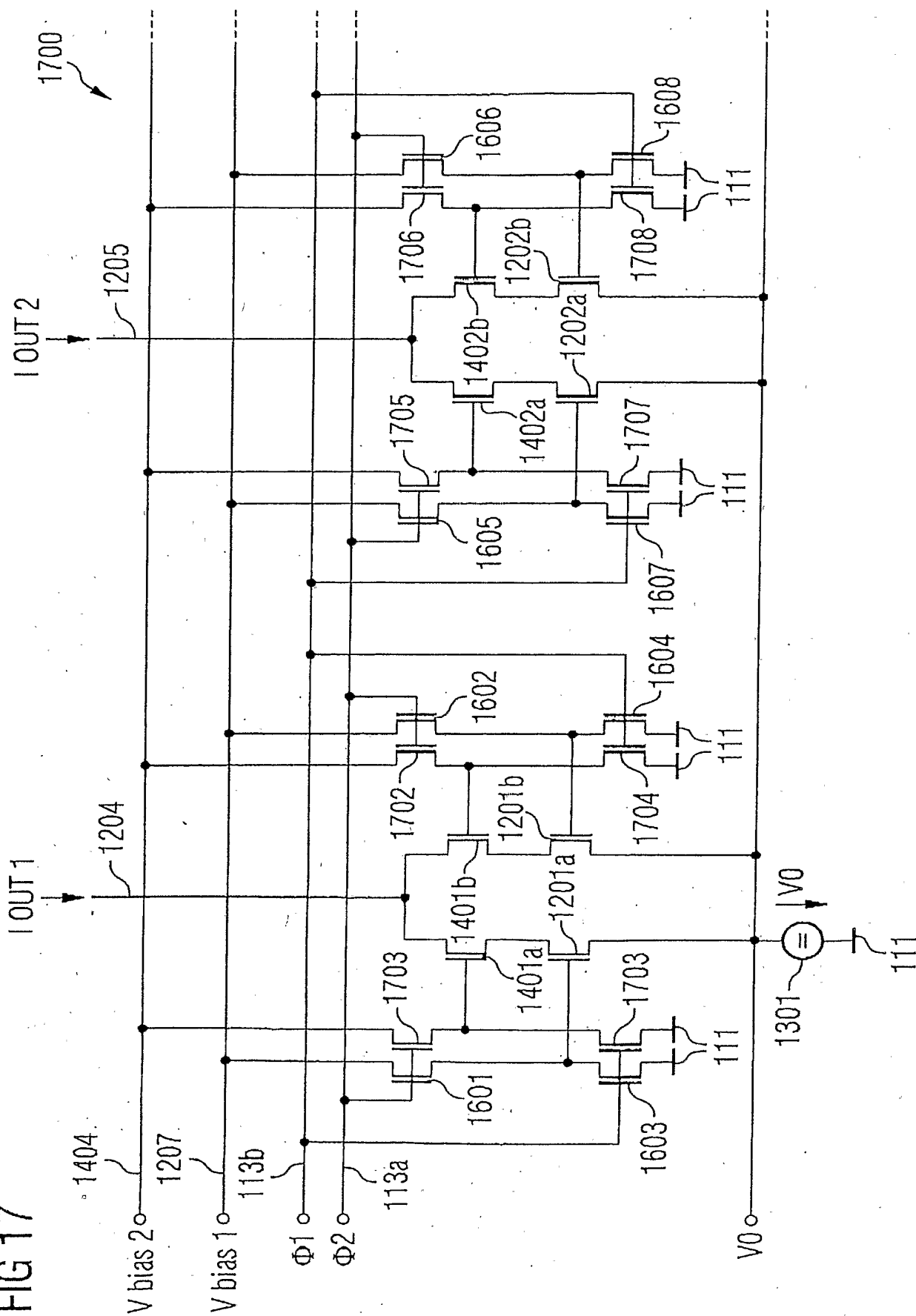
102

1600



1610



$$11/27$$


12/27

103

FIG 18

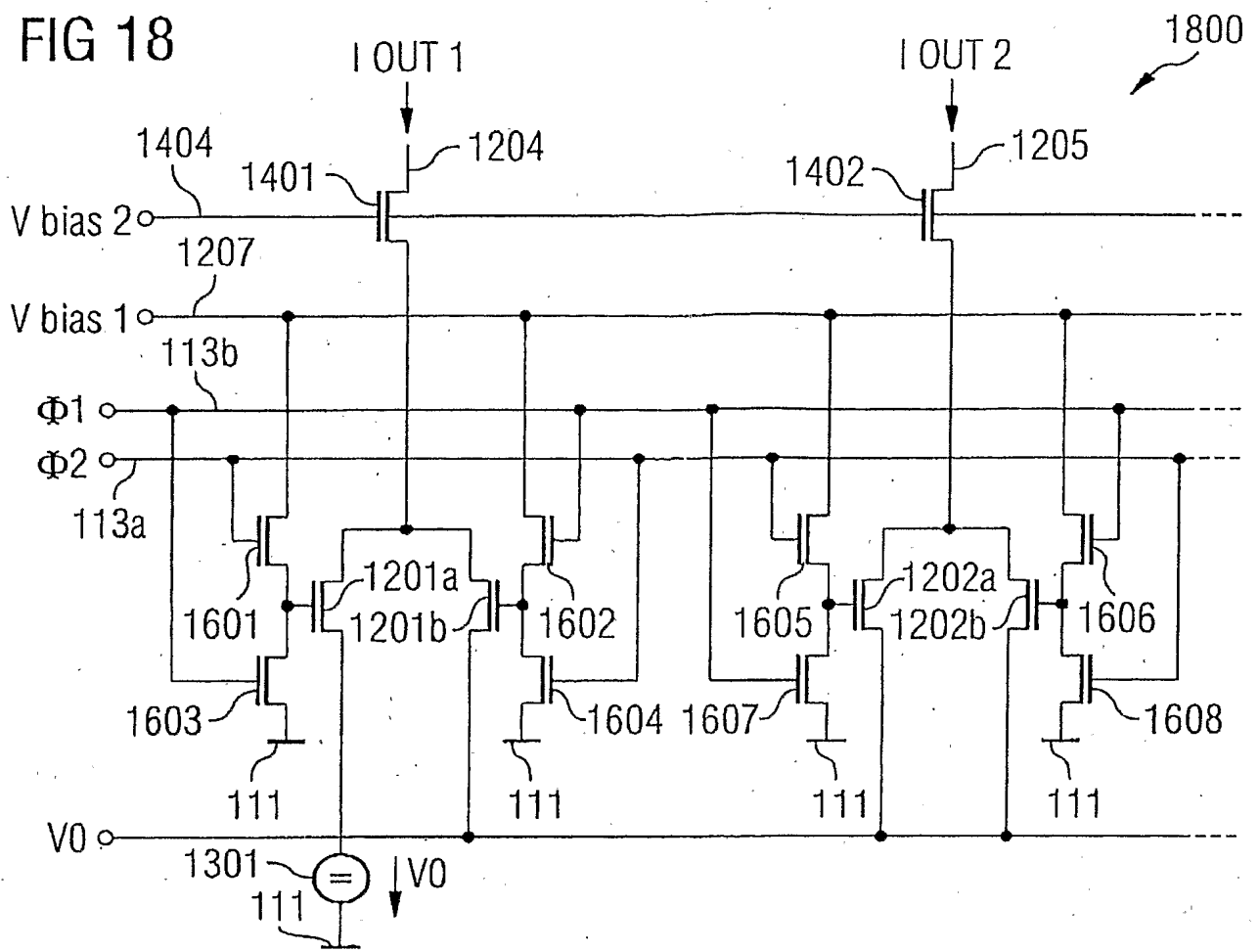
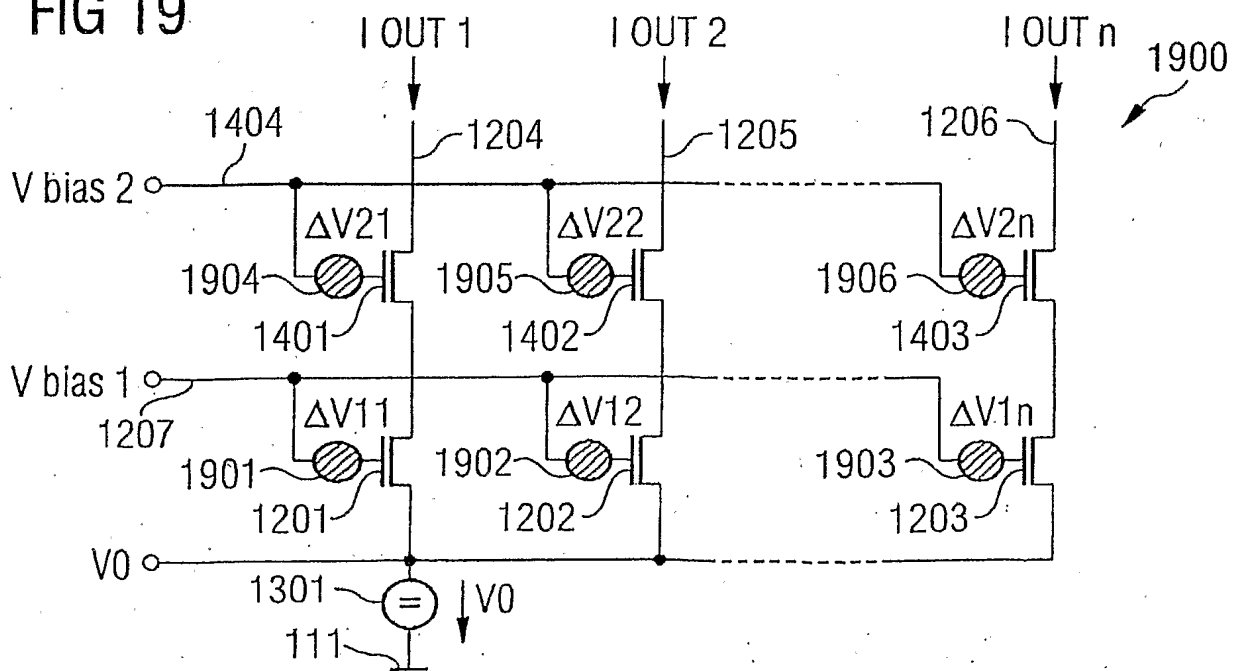


FIG 19



[illegible]

15/27

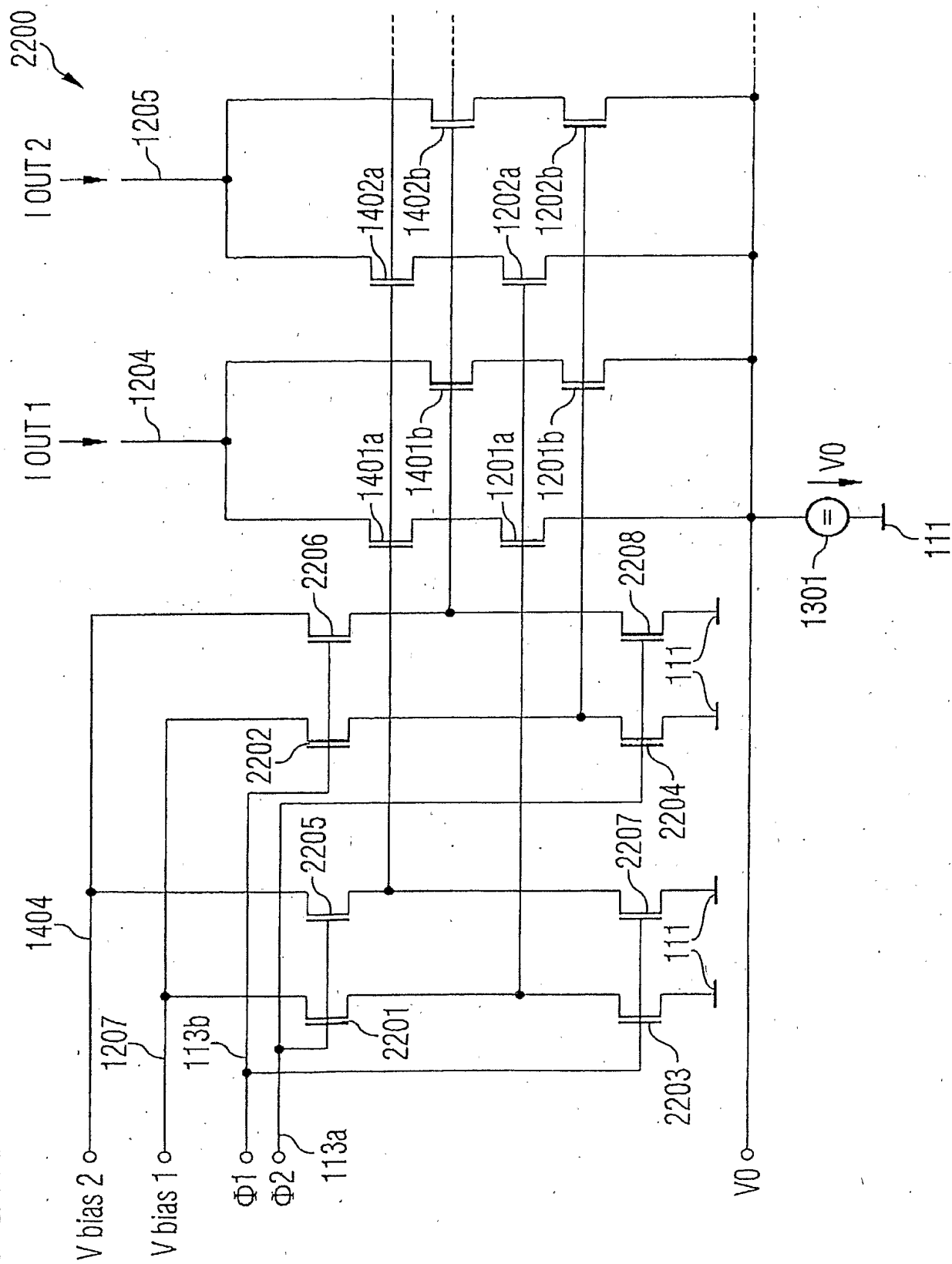


FIG 23

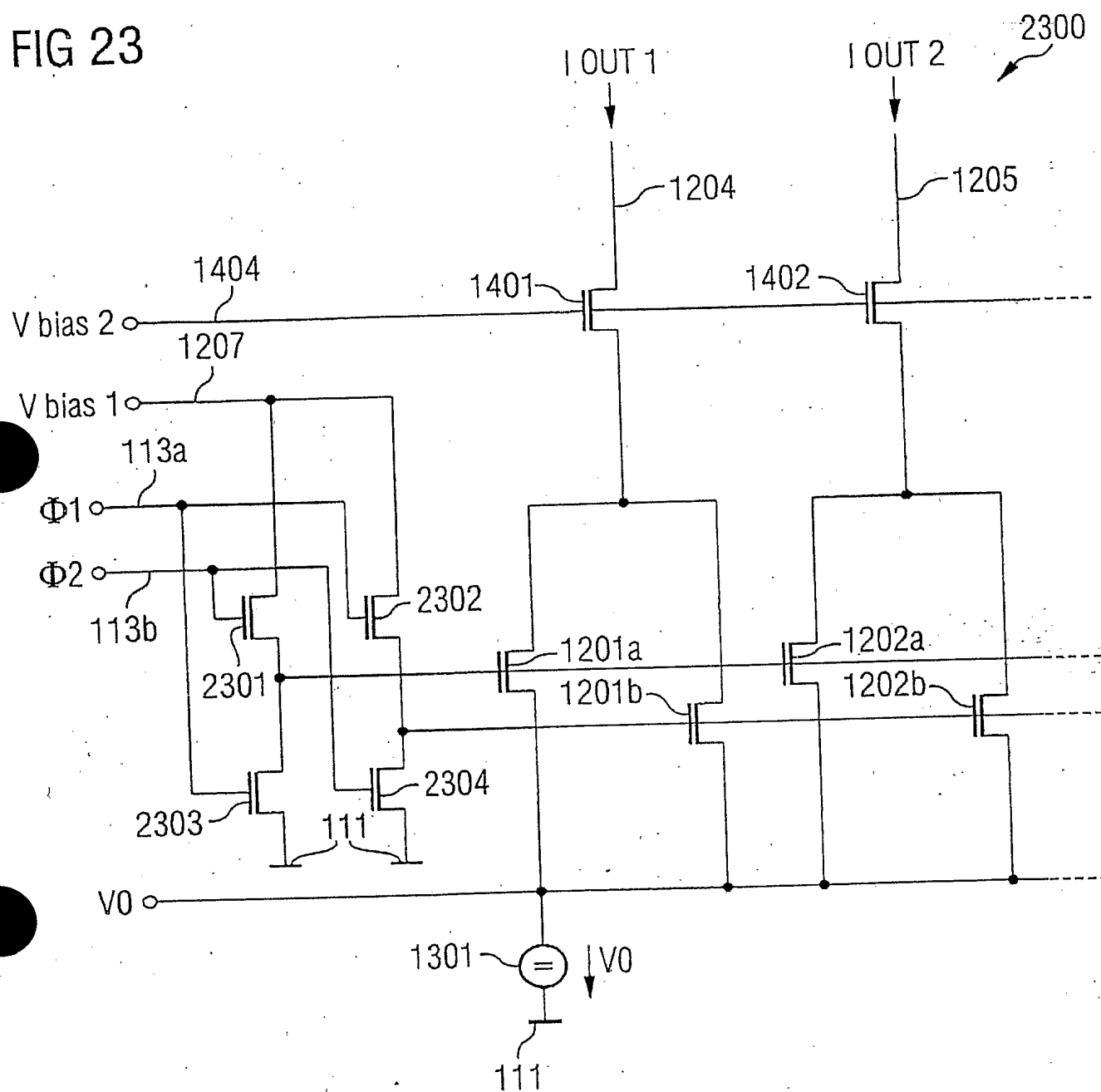


FIG 24

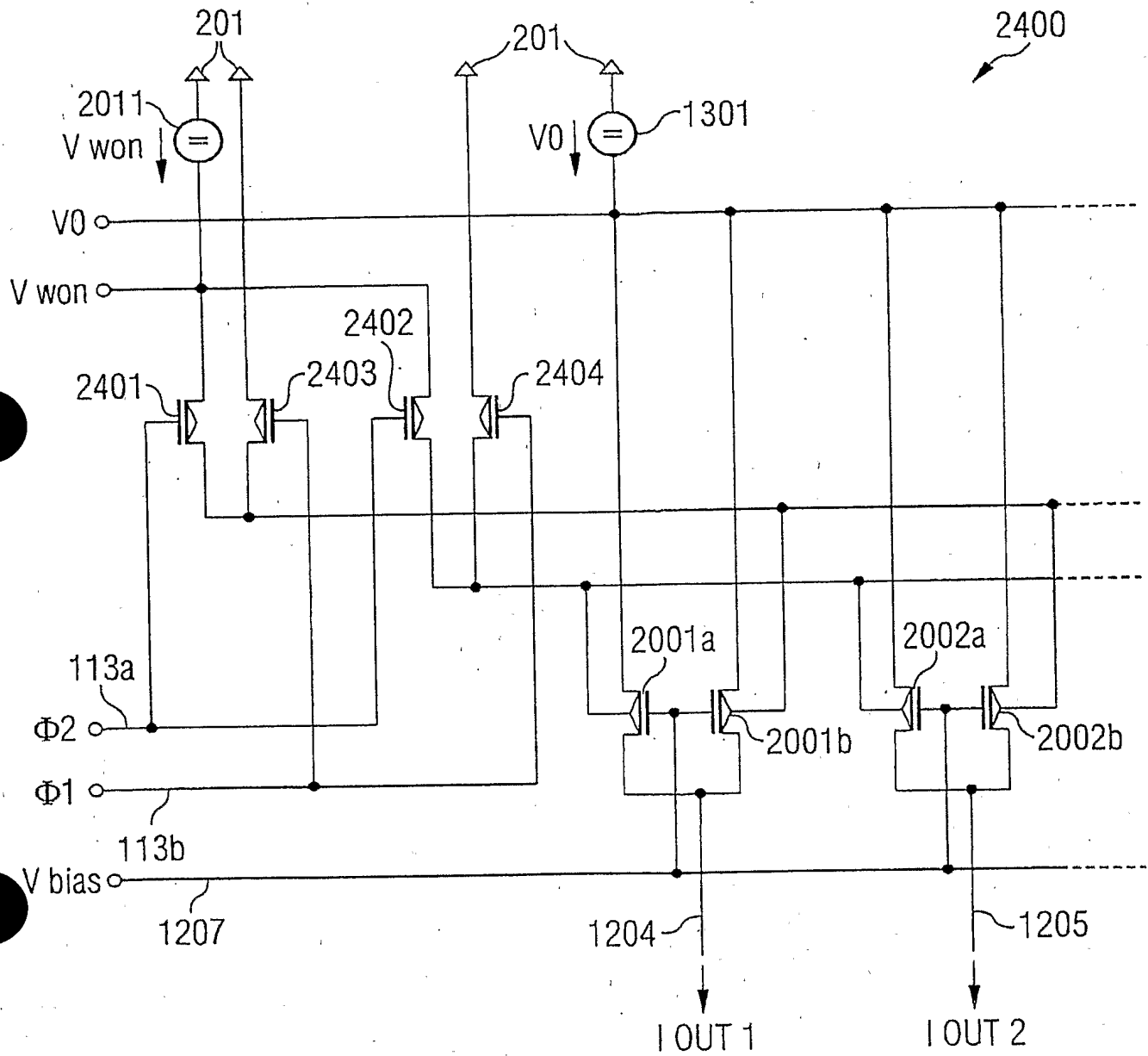


FIG 25A Stand der Technik

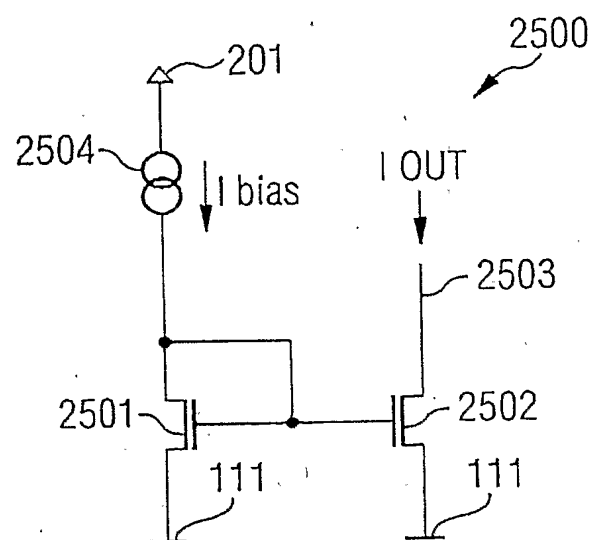
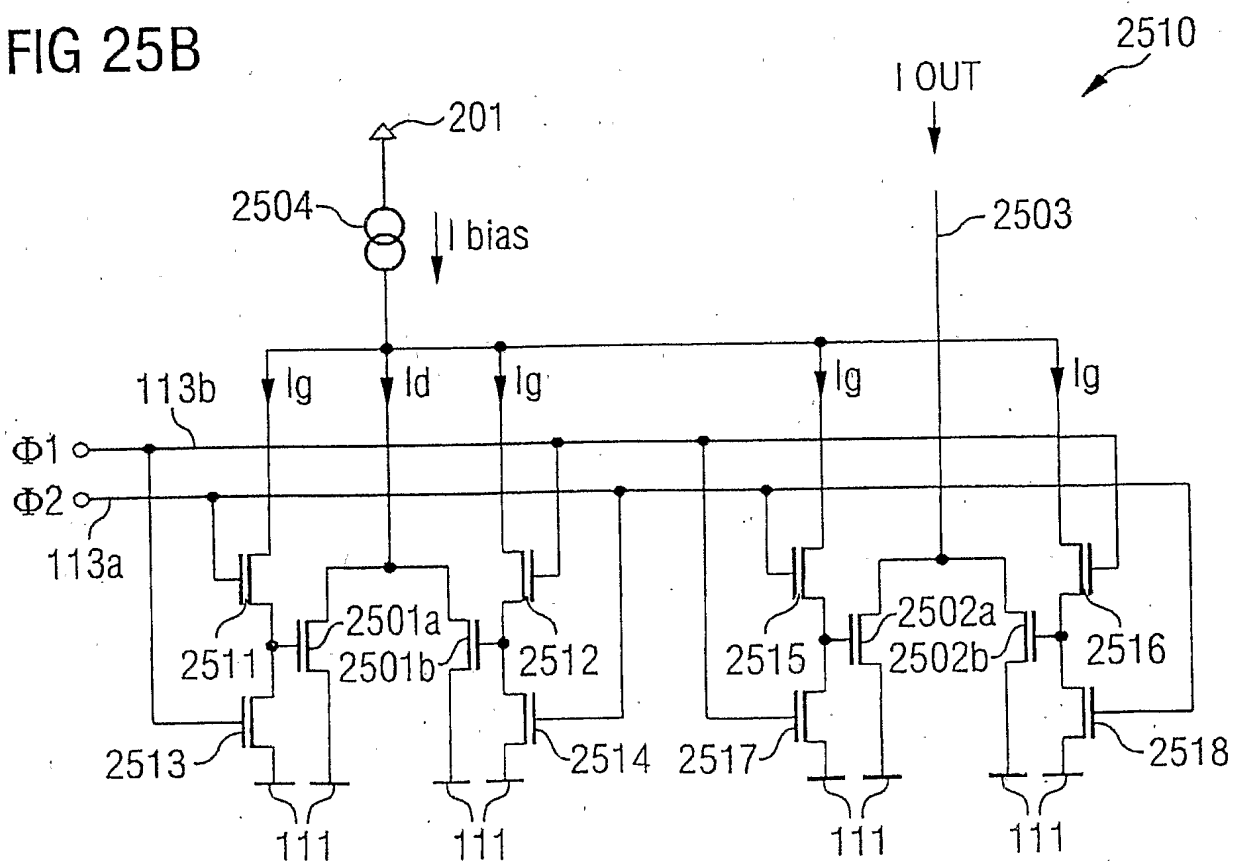


FIG 25B



19/27

FIG 26

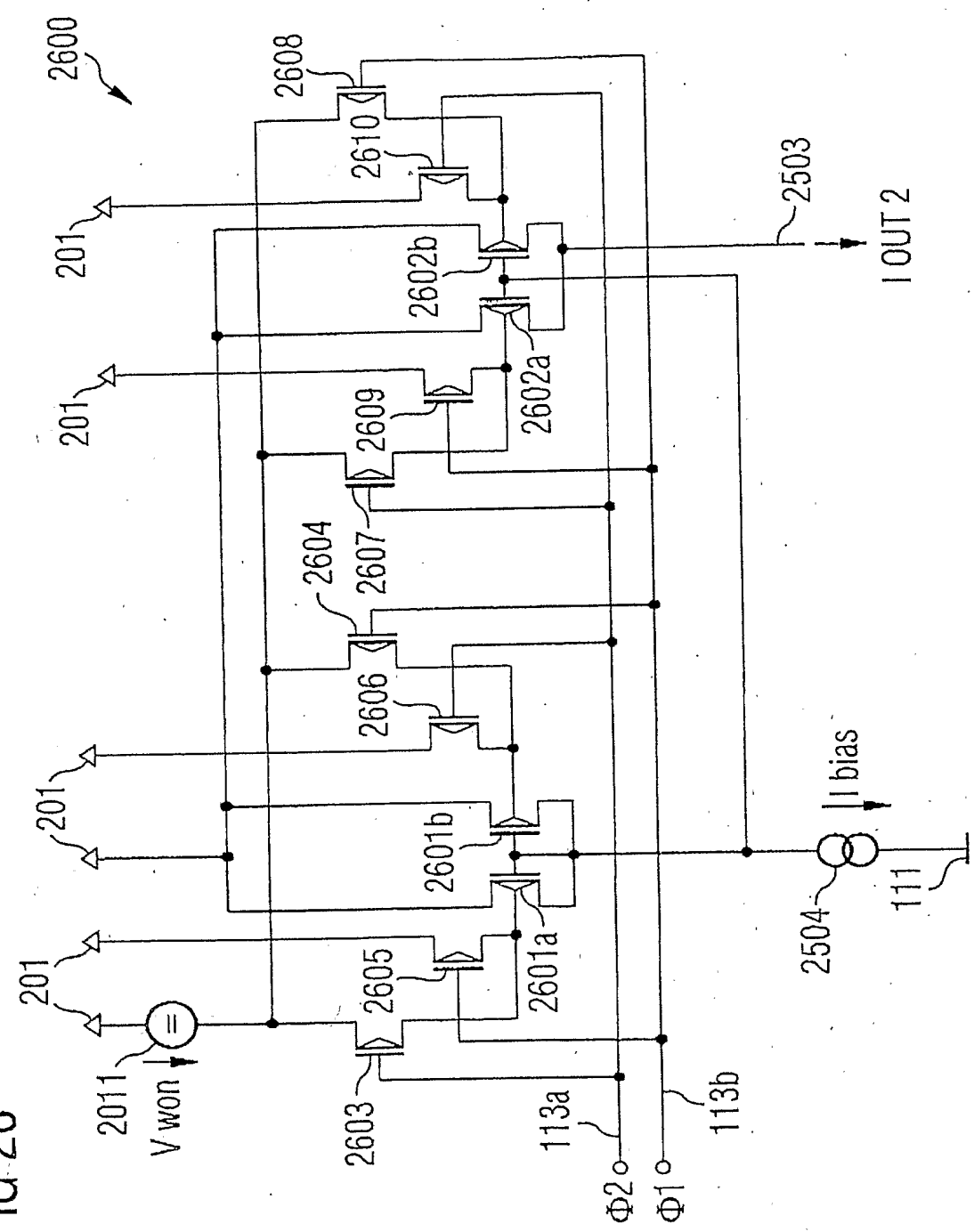


FIG 27 Stand der Technik

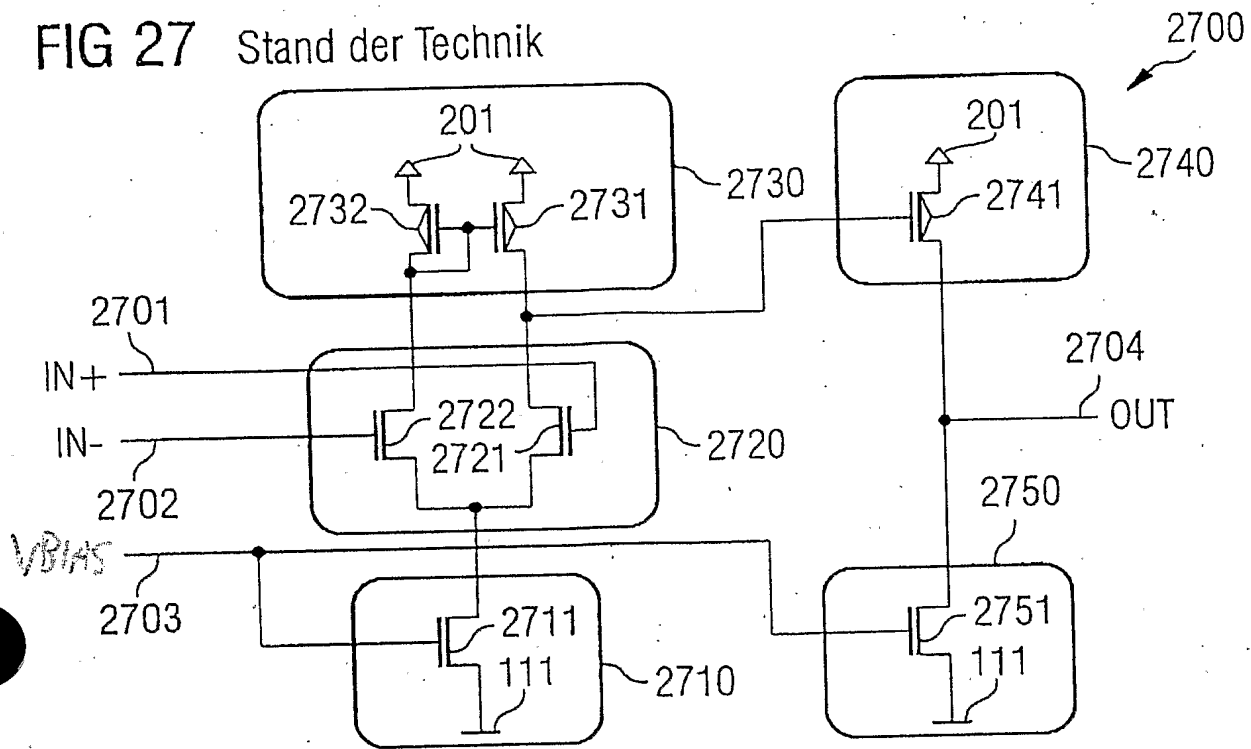


FIG 28 Stand der Technik

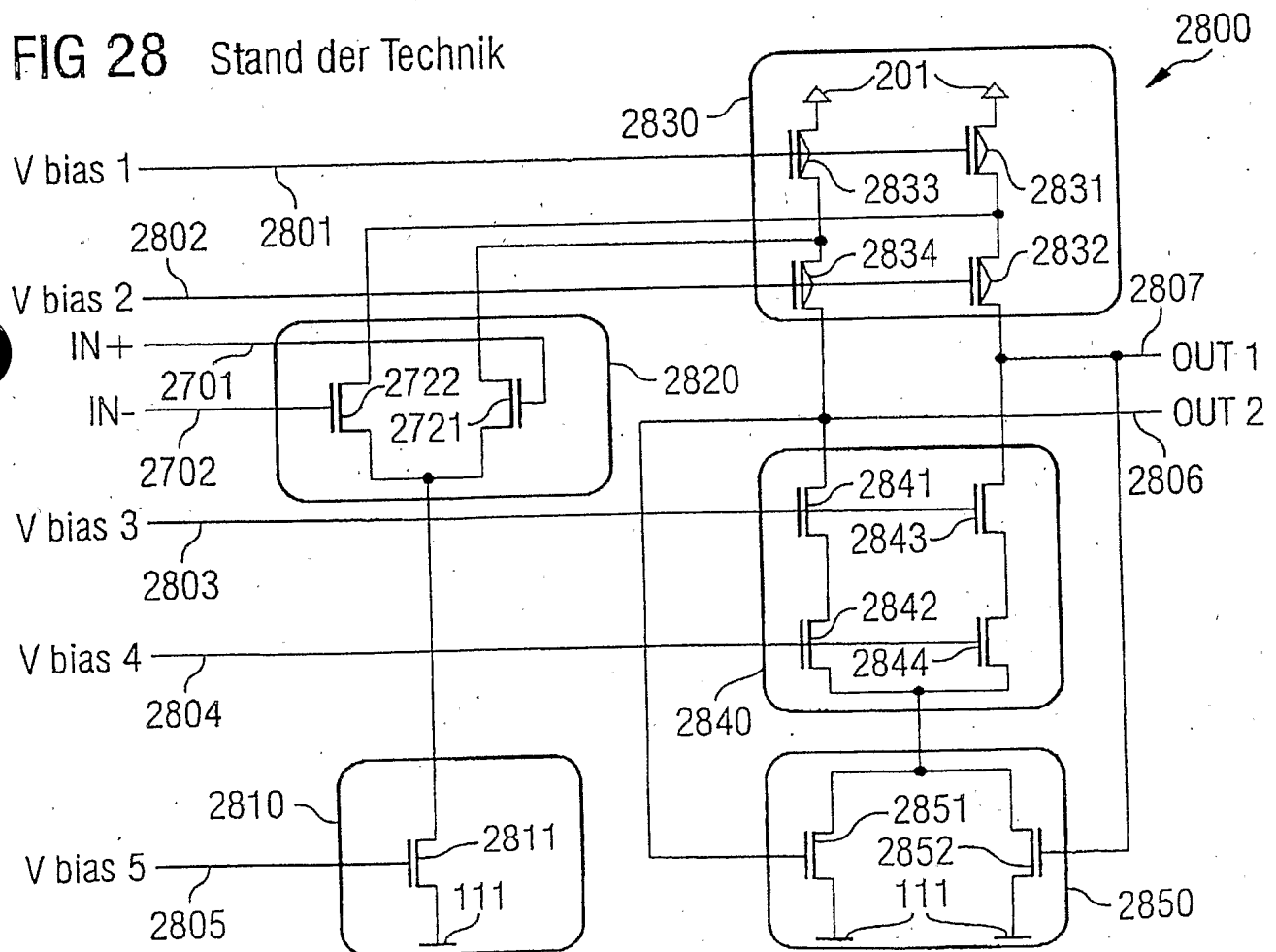


FIG 29

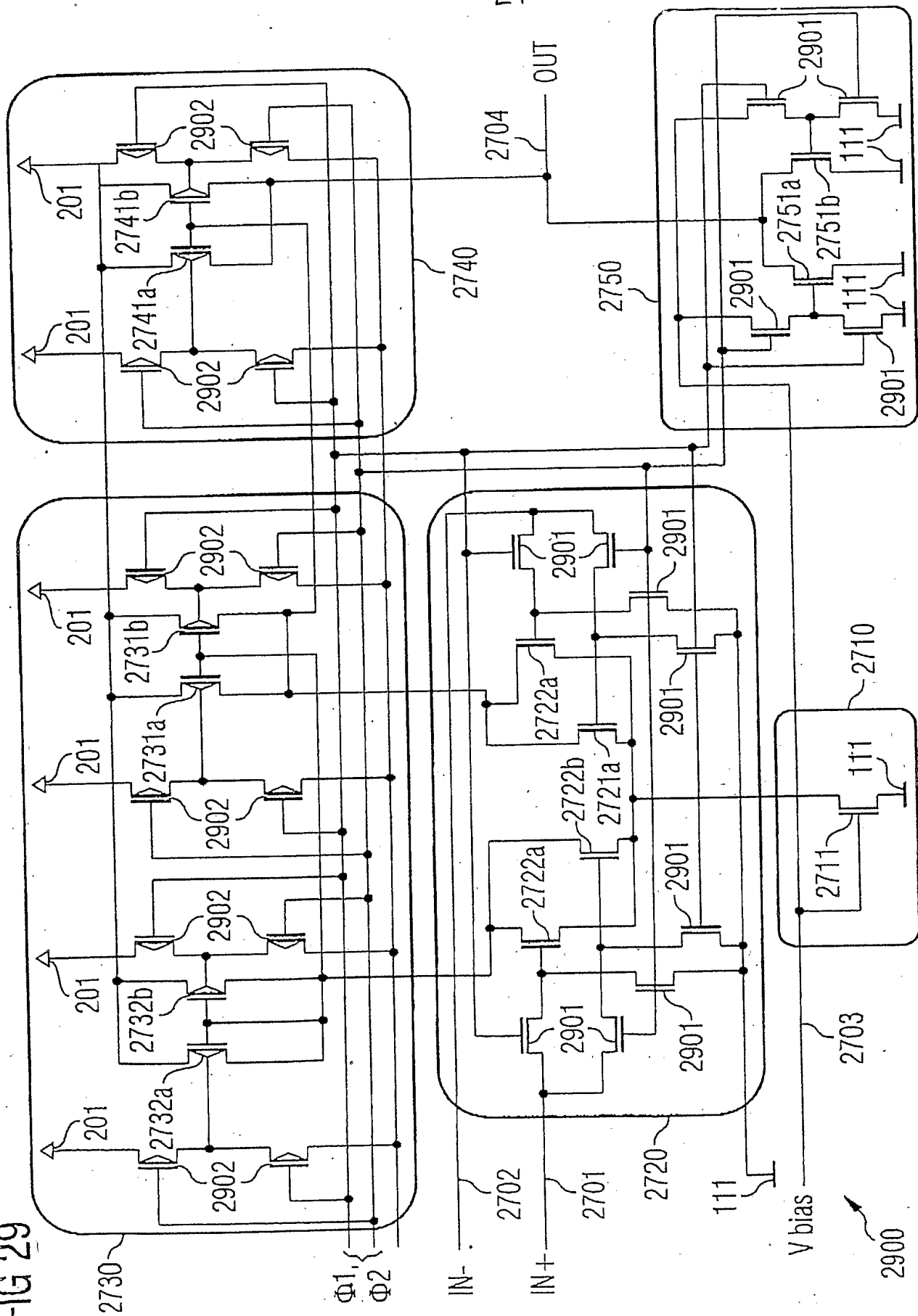
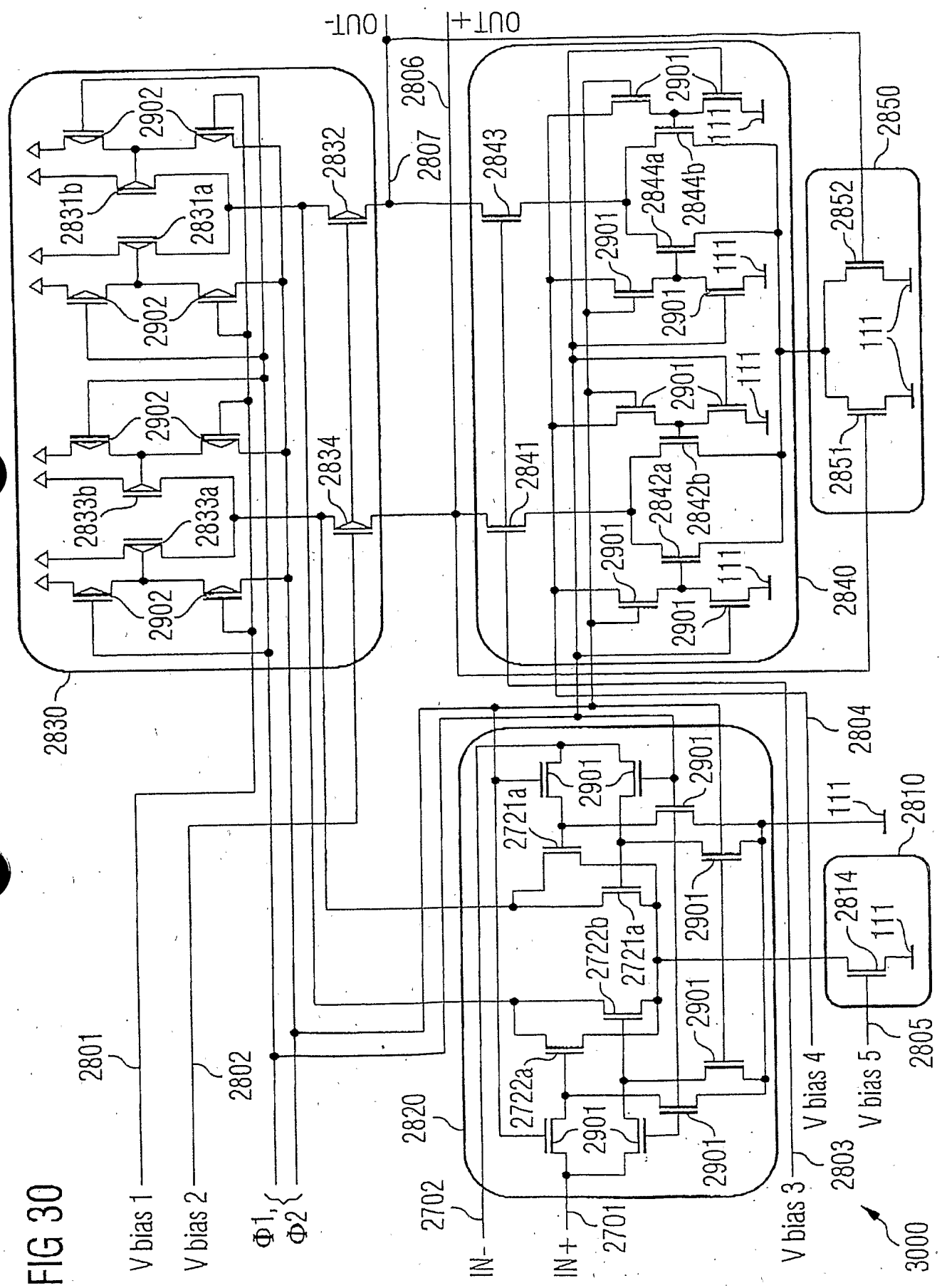


FIG 30



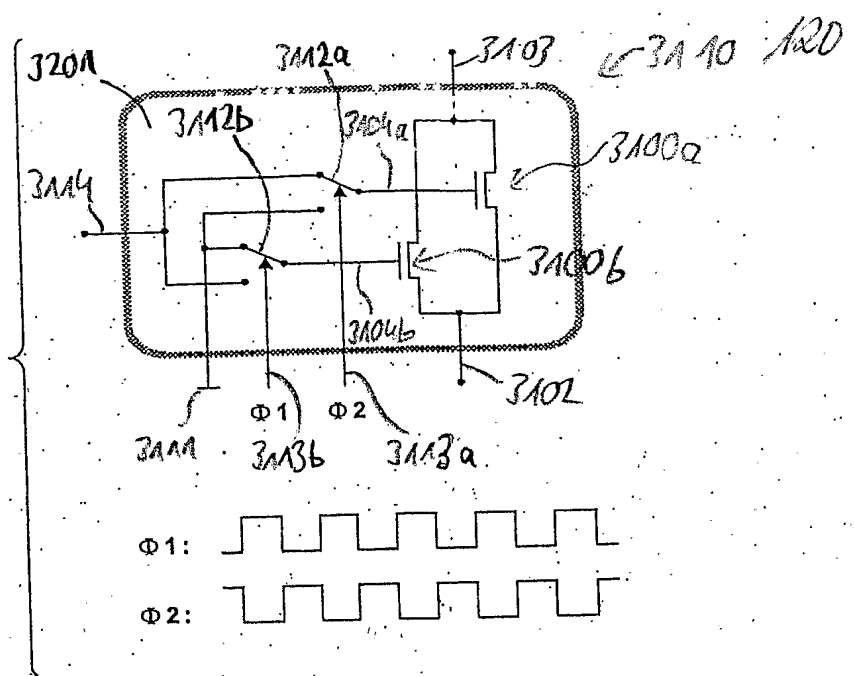
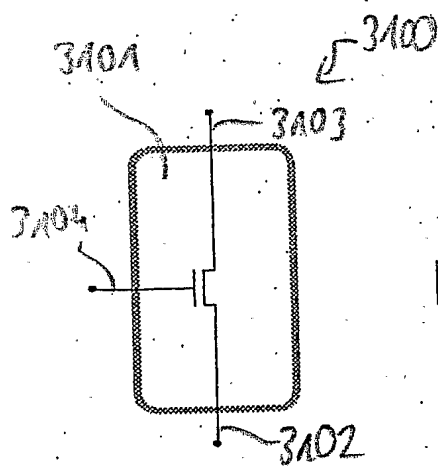
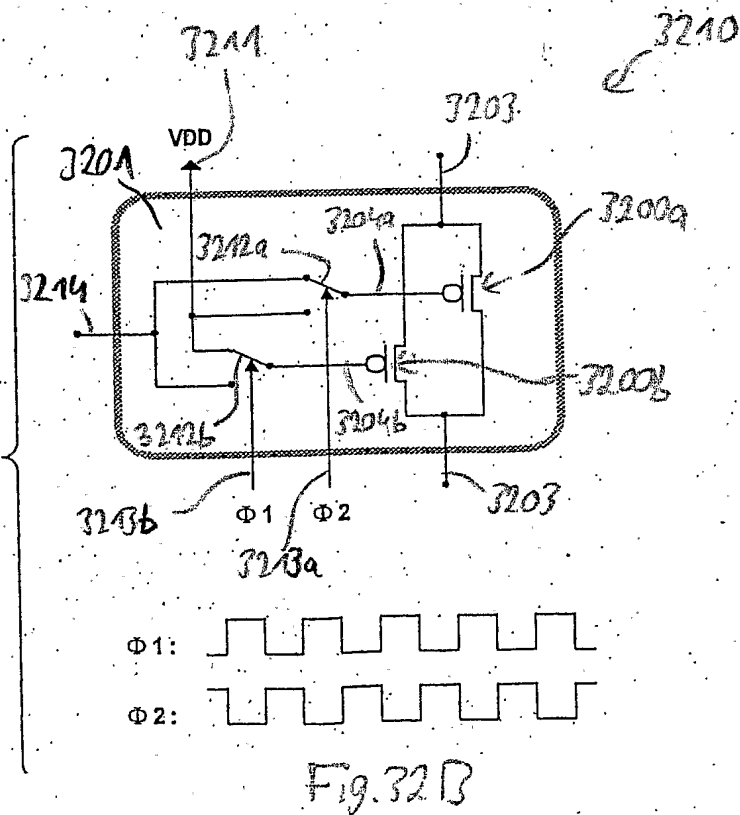
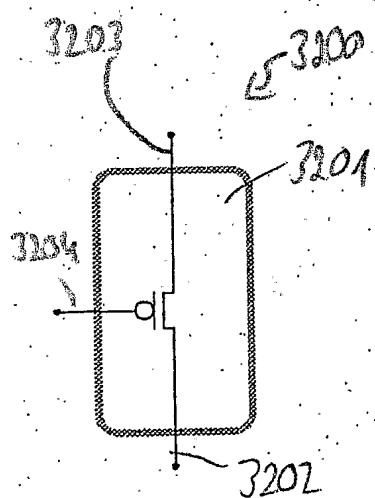
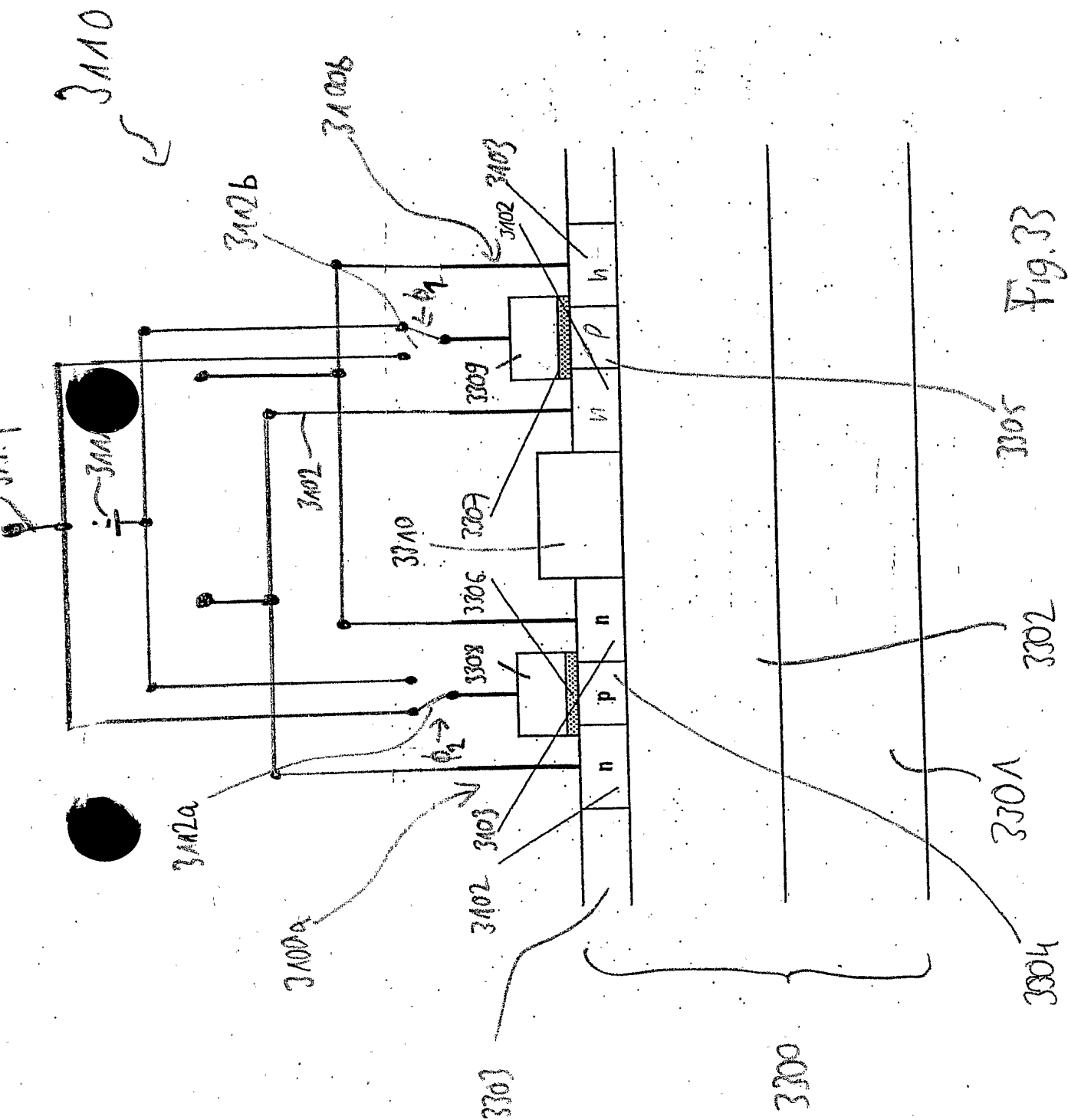


Fig. 31A

Fig. 31B.

$$23/27$$




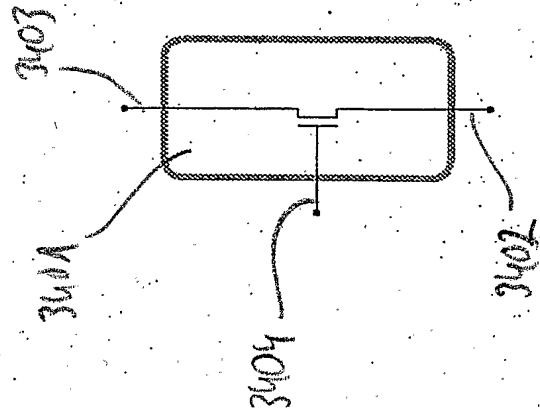
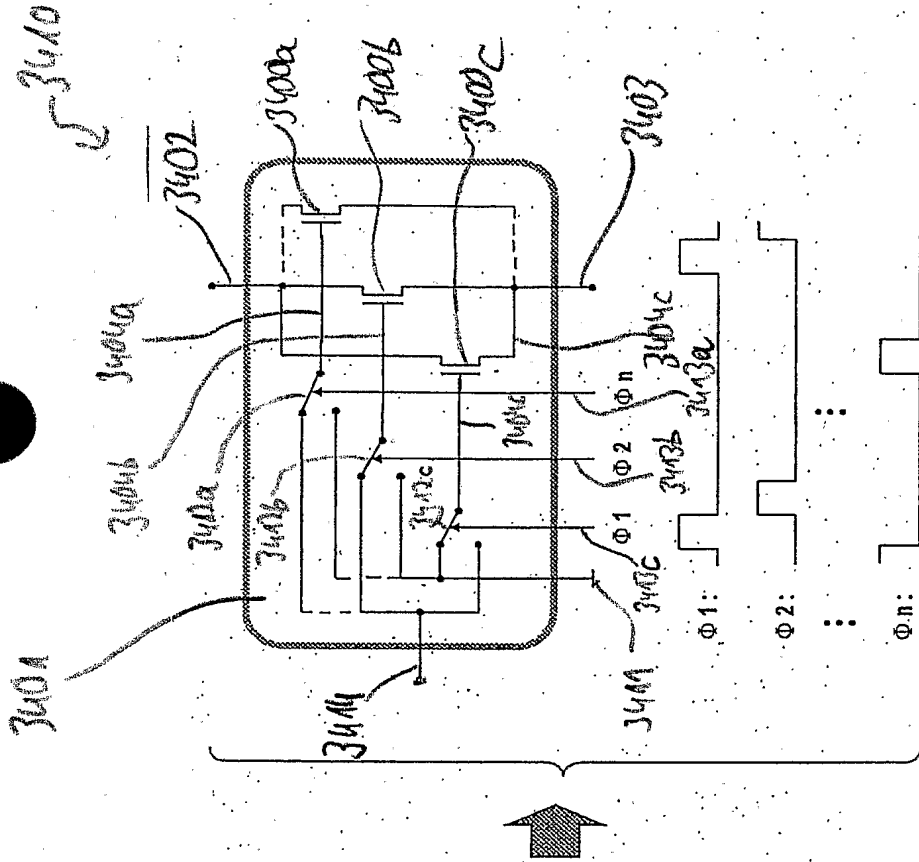
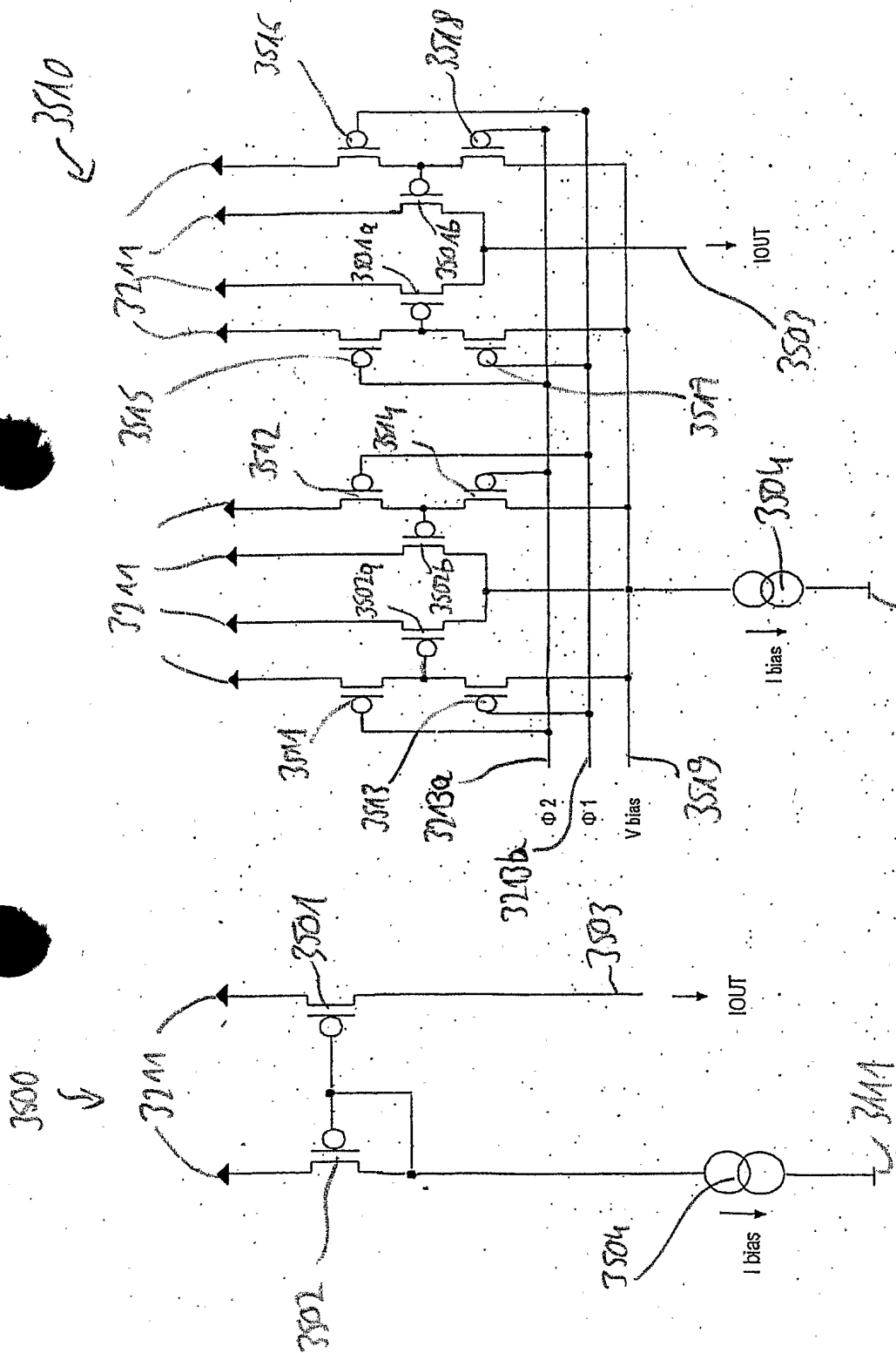


Fig. 3401

Fig. 3402



Standard technique

Fig. 35A

Fig. 35B

Fig. 36

